

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Satoshi TORII**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 15, 2003**

For: **NONVOLATILE SEMICONDUCTOR MEMORY AND METHOD OF OPERATING
THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 15, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-206904, filed July 16, 2002

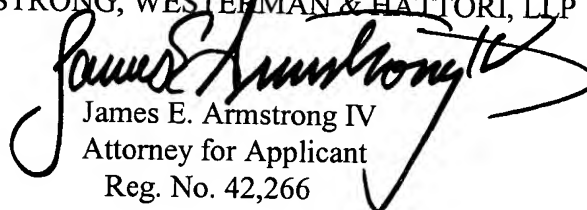
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP


James E. Armstrong IV
Attorney for Applicant
Reg. No. 42,266

JAM/jaz
Atty. Docket No. **030842**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月16日

出 願 番 号

Application Number:

特願2002-206904

[ST.10/C]:

[JP 2002-206904]

出 願 人

Applicant(s):

富士通株式会社

2002年12月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3096397

【書類名】 特許願

【整理番号】 0240766

【提出日】 平成14年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02

【発明の名称】 不揮発性半導体メモリ及びその動作方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鳥井 智史

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ及びその動作方法

【特許請求の範囲】

【請求項 1】 データに応じた電荷を蓄積する不揮発性メモリセルと、
前記メモリセルを駆動するメモリセル駆動部とを有し、

前記メモリセル駆動部は、第 1 の判定条件で前記メモリセルから読み出したデータのパス／フェイルを判定し、フェイルと判定したメモリセルには信号を印加して前記メモリセルの蓄積電荷量を変化させる第 1 の判定処理と、前記第 1 の判定条件よりも緩和された第 2 の判定条件で前記メモリセルから読み出したデータのパス／フェイルを判定する第 2 の判定処理とを実行することを特徴とする不揮発性半導体メモリ。

【請求項 2】 書き込みベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理で用いる基準電流よりも小さい電流を基準電流としてパス／フェイルを判定し、消去ベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理で用いる基準電流よりも大きい電流を基準電流としてパス／フェイルを判定することを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 3】 書き込みベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理に用いるリファレンスセルよりもしきい値が高いリファレンスセルを用いてパス／フェイルを判定し、消去ベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理に用いるリファレンスセルよりもしきい値が低いリファレンスセルを用いてパス／フェイルを判定することを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 4】 不揮発性メモリセルのデータを検証しながら前記メモリセルへのデータの書き込み又はデータの消去を行う不揮発性半導体メモリの動作方法において、

前記メモリセルから第 1 の判定条件でデータを読み出してパス／フェイルを判定し、フェイルと判定した場合には当該メモリセルに信号を印加してメモリセルの蓄積電荷量を変化させる第 1 の判定処理と、

前記メモリセルから前記第 1 の判定条件よりも緩和された第 2 の判定条件でデ

ータを読み出してパス／フェイルを判定する第 2 の判定処理とを有し、

前記第 2 の判定処理でフェイルと判定したときには前記第 1 の判定処理から繰り返すことを特徴とする不揮発性半導体メモリの動作方法。

【請求項 5】 アドレスカウンタにスタートアドレスを設定する第 1 のステップと、

前記アドレスカウンタに設定されたアドレスのメモリセルから第 1 の書き込み判定条件でデータを読み出してパス／フェイルを判定する第 2 のステップと、

前記第 2 のステップでフェイルと判定したときに前記メモリセルに書き込みパルスを印加する第 3 のステップと、

前記第 2 のステップでパスと判定したとき、又は前記第 3 のステップを終了したときに、前記アドレスカウンタに設定されたアドレスが終了アドレスか否かを判定する第 4 のステップと、

前記第 4 のステップで否と判定したときには前記アドレスカウンタの値を変更し、その後前記第 2 のステップに移行する第 5 のステップと、

前記第 4 のステップで諾と判定したときに、前記アドレスカウンタにスタートアドレスを設定する第 6 のステップと、

前記アドレスカウンタに設定されたアドレスのメモリセルから前記第 1 の書き込み判定条件よりも緩和された第 2 の書き込み判定条件でデータを読み出してパス／フェイルを判定する第 7 のステップと、

前記アドレスカウンタに設定されたアドレスが最終アドレスか否かを判定する第 8 のステップと、

前記第 8 のステップで否と判定したときに前記アドレスカウンタの値を変更し、その後前記第 7 のステップに移行する第 9 のステップと、

前記第 8 のステップで諾と判定したときに移行し、前記第 7 のステップでフェイルと判定したときには前記第 1 のステップに処理を戻す第 1 0 のステップとを有することを特徴とする不揮発性半導体メモリの動作方法。

【請求項 6】 前記第 7 のステップでフェイルと判定すると、処理を前記第 1 のステップに直接戻すことを特徴とする請求項 5 に記載の不揮発性半導体メモリの動作方法。

【請求項 7】 アドレスカウンタにスタートアドレスを設定する第 1 のステップと、

前記アドレスカウンタに設定されたアドレスのメモリセルから第 1 の消去判定条件でデータを読み出してパス／フェイルを判定する第 2 のステップと、

前記アドレスカウンタに設定されたアドレスが終了アドレスか否かを判定する第 3 のステップと、

前記第 3 のステップで否と判定したときには前記アドレスカウンタの値を変更し、その後前記第 2 のステップに移行する第 4 のステップと、

前記第 3 のステップで諾と判定したときに移行し、前記第 2 のステップでフェイルと判定したメモリセルがあるときは前記スタートアドレスから前記終了アドレスまでのメモリセルに一括して消去パルスを印加する第 5 のステップと、

前記アドレスカウンタにスタートアドレスを設定する第 6 のステップと、

前記アドレスカウンタに設定されたアドレスのメモリセルから前記第 1 の消去判定条件よりも緩和された第 2 の消去判定条件でデータを読み出してパス／フェイルを判定する第 7 のステップと、

前記アドレスカウンタに設定されたアドレスが最終アドレスか否かを判定する第 8 のステップと、

前記第 8 のステップで否と判定したときに前記アドレスカウンタの値を変更し、その後前記第 7 のステップに移行する第 9 のステップと、

前記第 8 のステップで諾と判定したときに移行し、前記第 7 のステップでフェイルと判定したメモリセルがあるときには前記第 1 のステップに処理を戻す第 10 のステップと

を有することを特徴とする不揮発性半導体メモリの動作方法。

【請求項 8】 前記第 2 のステップでフェイルと判定すると前記第 5 のステップに直接移行して、前記スタートアドレスから前記終了アドレスまでのメモリセルに一括して消去パルスを印加することを特徴とする請求項 7 に記載の不揮発性半導体メモリの動作方法。

【請求項 9】 前記第 7 のステップでフェイルと判定すると処理を前記第 1 のステップに直接戻すことを特徴とする請求項 7 に記載の不揮発性半導体メモリ

の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、E E P R O M (Electrically Erasable Programmable Read Only Memory) やフラッシュメモリ (一括的に電氣的消去可能なE E P R O M) などの不揮発性半導体メモリ及びその動作方法に関し、電源ノイズやその他の原因により判定電流又は判定電圧が変動しても安定した書き込みベリファイ及び消去ベリファイを保証できる不揮発性半導体メモリ及びその動作方法に関する。

【0002】

【従来の技術】

近年、電子機器の多機能化及び小型化が促進されており、それに伴って半導体集積回路のより一層の微細化が要求されている。E E P R O Mやフラッシュメモリ等の不揮発性半導体メモリでは、メモリセルの微細化だけでなく、より小さなしきい値電圧の変化を安定して検出することが必要となる。

【0003】

一方、メモリセルの寸法をシュリンク (縮小) しなくても実質的なセル面積を小さくできる多値化に対応したメモリ (以下、多値化メモリという) も開発されている。通常の半導体メモリでは1つのメモリセルに“0”又は“1”の2つの状態しか記憶できないのに対し、多値化メモリでは、1つのメモリセルに3以上の状態を記憶する。但し、多値化メモリでは、記憶するデータに応じてしきい値電圧を厳密にコントロールすることが必要になる。今後は、電子機器の高機能化及び小型化に対応するために、多値化メモリが積極的に使用されるものと考えられる。

【0004】

従来の不揮発性半導体メモリでは、薄い絶縁膜を挟んでフローティングゲート及びコントロールゲートの2つのゲート電極が形成された二重ゲート構造のフローティングゲート型メモリが一般的であった。フローティングゲート型メモリについては、例えば特開2000-174235号に記載されている。

【 0 0 0 5 】

しかし、近年、二重ゲート構造の複雑な製造プロセスが微細化の障害として顕著になってきた。そのため、ゲート電極が1つの単ゲート型不揮発性半導体メモリが注目されている。単ゲート型不揮発性半導体メモリでは、半導体基板とゲート電極との間のゲート絶縁膜に電荷を蓄積可能な材料を使用し、ゲート絶縁膜に蓄積された電荷によりしきい値電圧が変化することを利用してデータを記憶する。

【 0 0 0 6 】

このような単ゲート型不揮発性半導体メモリの1つにSONOS (Silicon Oxide Nitride Oxide Silicon) 型メモリがある。SONOS型メモリについては、例えば特開2001-325793号に記載されている。

【 0 0 0 7 】

SONOS型メモリではゲート絶縁膜として、例えばシリコン窒化膜 (SiN) を上下からシリコン酸化膜 (SiO) で挟んだ積層構造の絶縁膜を使用する。シリコン窒化膜に電荷を出し入れすることで、データの記憶及び消去を行う。

【 0 0 0 8 】

SONOS型メモリでは、フローティングゲート型メモリに比べて電荷の捕獲量が少ないため、しきい値電圧のシフト量が小さい。また、SONOS型メモリでは書き込み効率が悪い、フローティングゲート型メモリよりも書き込み速度が遅くなる。従って、SONOS型メモリのような単ゲート型不揮発性メモリでは、書き込み及び消去の際に、微小なしきい値電圧の変化を検出することが重要である。

【 0 0 0 9 】

【発明が解決しようとする課題】

このように、近年の不揮発性半導体メモリの動向を見ると、より微小なしきい値電圧の変化量を検出することが重要になってきている。しかしながら、しきい値電圧の変化量が小さいと、書き込みや消去が十分になされたかという検証動作 (ベリファイ) において、パス又はフェイルを正確に判定できなくなるという問題が発生する。

【 0 0 1 0 】

つまり、半導体メモリでは、電源ノイズ及びその他の外部からのノイズの影響により、判定基準となる電流又はメモリセルからの電流が経時的に変動しており、これらのノイズの影響による電流変動幅に対応する電圧がしきい値電圧の変化量に匹敵してしまうことがある。これにより、一度はパスと判定されたメモリセルが次のベリファイの際にフェイルと判定されることがあり、書き込み又は消去の動作（ループ）を再度実行しなければならない。しかし、2度目のベリファイ動作でもパスと判定されたメモリセルがあれば、更に書き込み又は消去の動作（ループ）を実行することになる。このように、従来の不揮発性半導体メモリでは、電源ノイズ及びその他のノイズの影響によりパス／フェイルの判定が不確実になり、ベリファイ動作を何度も実行する可能性がある。

【 0 0 1 1 】

図1は、ベリファイの概念を示す図である。ノイズの影響により、基準電流 I が $\pm \Delta I$ だけ変動するものとする。メモリセルの電流 I_d が $I + \Delta I$ 以上の場合、ノイズの影響にかかわらずフェイルと判定され、再度の書き込みが必要となる。メモリセルの電流 I_d が $I - \Delta I$ 以下の場合、ノイズの影響にかかわらずパスと判定され、再度の書き込みは不要である。しかし、メモリセルの電流 I_d が $I - \Delta I < I_d < I + \Delta I$ の場合は、ノイズの影響によりパス／フェイルの判定が不確実になる。従って、最初のベリファイでパスと判定されたセルが次のベリファイでフェイルと判定されることもある。

【 0 0 1 2 】

実際のメモリでは、図2の概念図に示すように、書き込み判定レベル、通常動作時の記憶情報判定レベル及び消去判定レベルの3種類の判定レベルがあり、それぞれの判定レベルに判定が不確実になる不感帯（図中破線で示す帯）が存在する。

【 0 0 1 3 】

図3は、従来の不揮発性半導体メモリにおける書き込みベリファイの動作を示すフローチャートである。

【 0 0 1 4 】

まず、ステップ S 1 1 において、フェイルカウントを初期化（フェイルカウント = 0）する。その後、ステップ S 1 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 1 3 ではそのスタートアドレスのメモリセルからデータを読み出す。

【 0 0 1 5 】

次に、ステップ S 1 4 に移行し、データの書き込みが必要なメモリセルか否かを判定し、データの書き込みが必要なメモリセルの場合は読み出したデータを判定基準と比較してフェイルか否かを判定する。データの書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合（Y e s）はステップ S 1 5 に移行する。一方、データの書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合（N o）は、ステップ S 1 7 に移行する。

【 0 0 1 6 】

ステップ S 1 5 では、当該アドレスのメモリセルに書き込みパルスを印加する。その後、ステップ S 1 6 に移行し、フェイルカウント数に 1 を加えた後、ステップ S 1 7 に移行する。

【 0 0 1 7 】

ステップ S 1 7 では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでないときはステップ S 1 8 に移行して、アドレスカウンタに次のアドレスを設定する。その後、ステップ S 1 3 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 0 1 8 】

このようにして、スタートアドレスのメモリセルから終了アドレスのメモリセルまで順番にデータを読み出し、データの書き込みが必要なメモリセルか否か、必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。そして、フェイルと判定したメモリセルには書き込みパルスを印加して、メモリセルに蓄積されている電荷量を変化させる。

【 0 0 1 9 】

その後、ステップ S 1 7 からステップ S 1 9 に移行してフェイルカウント数が 0 か否かを判定し、0 でない場合はステップ S 1 1 に戻って、上記の処理を繰り返す。

返す。ステップ S 1 9 でフェイルカウント数が 0 の場合は、ベリファイを終了する。

【 0 0 2 0 】

図 4 は、従来の不揮発性半導体メモリにおける消去ベリファイの動作を示すフローチャートである。

【 0 0 2 1 】

まず、ステップ S 2 1 において、フェイルカウントを初期化（フェイルカウント＝0）する。その後、ステップ S 2 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 2 3 ではそのスタートアドレスのメモリセルからデータを読み出す。

【 0 0 2 2 】

次に、ステップ S 2 4 に移行し、読み出したデータと判定基準とを比較して、フェイルか否かを判定する。フェイルの場合（Y e s）はステップ S 2 5 に移行し、パスの場合（N o）はステップ S 2 6 に移行する。

【 0 0 2 3 】

ステップ S 2 5 ではフェイルカウント数に 1 を加える。その後、ステップ S 2 6 に移行する。

【 0 0 2 4 】

ステップ S 2 6 では、アドレスカウンタに設定されているアドレスが終了アドレスか否かを判定する。終了アドレスでないときはステップ S 2 7 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 2 3 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 0 2 5 】

このようにして、スタートアドレスのメモリセルから終了アドレスのメモリセルまで順番にデータを読み出してフェイルか否かの判定を行い、フェイルを検出するたびにフェイルカウント数をアップする。

【 0 0 2 6 】

その後、ステップ S 2 6 からステップ S 2 8 に移行して、フェイルカウント数が 0 か否かを判定する。フェイルカウント数が 0 でない場合は、ステップ S 2 9

に移行し、スタートアドレスから終了アドレスまでのメモリセルに対し一括して消去パルスを印加する。その後、ステップ S 2 1 に戻って、上記の処理を繰り返す。なお、消去ベリファイでは、図 4 中に破線矢印で示すように、ステップ S 2 4 でフェイルを検出した場合にステップ S 2 9 に直接移行するようにしたものもある。

【 0 0 2 7 】

これらの図 3，図 4 に示すように、従来の不揮発性半導体メモリでは、ベリファイ時にフェイルが発生すると、フェイルがなくなるまで書き込みパルス又は消去パルスの印加を繰り返す。前述したように、従来の不揮発性半導体メモリでは、ノイズ等の影響によりパスと判定されたメモリセルが次のベリファイ時にフェイルに判定されることがあるので、信頼性が十分であるとはいえない。また、フェイルがなくなるまで処理ループ（ステップ S 1 1 ～ステップ S 1 9 又はステップ S 2 1 ～ステップ S 2 9 までの処理）を何度も繰り返し、ベリファイが完了するまでに長時間かかってしまう。

【 0 0 2 8 】

以上から、本発明の目的は、電源ノイズ及びその他のノイズの影響により判定電流又は判定電圧が変動しても、パス／フェイルの判定を正確に行うことができる不揮発性半導体メモリ及びその動作方法を提供することである。

【 0 0 2 9 】

【課題を解決するための手段】

本発明の不揮発性半導体メモリは、データに応じた電荷を蓄積する不揮発性メモリセルと、前記メモリセルを駆動するメモリセル駆動部とを有し、前記メモリセル駆動部は、第 1 の判定条件で前記メモリセルから読み出したデータのパス／フェイルを判定し、フェイルと判定したメモリセルには信号を印加して前記メモリセルの蓄積電荷量を変化させる第 1 の判定処理と、前記第 1 の判定条件よりも緩和された第 2 の判定条件で前記メモリセルから読み出したデータのパス／フェイルを判定する第 2 の判定処理とを実行することを特徴とする。

【 0 0 3 0 】

本発明の不揮発性半導体メモリの動作方法は、不揮発性メモリセルのデータを

検証しながら前記メモリセルへのデータの書き込み又はデータの消去を行う不揮発性半導体メモリの動作方法において、前記メモリセルから第 1 の判定条件でデータを読み出してパス／フェイルを判定し、フェイルと判定した場合には当該メモリセルに信号を印加してメモリセルの蓄積電荷量を変化させる第 1 の判定処理と、前記メモリセルから前記第 1 の判定条件よりも緩和された第 2 の判定条件でデータを読み出してパス／フェイルを判定する第 2 の判定処理とを有し、前記第 2 の判定処理でフェイルと判定したときには前記第 1 の判定処理から繰り返すことを特徴とする。

【 0 0 3 1 】

従来は、メモリセルのパス／フェイルの判定と、書き込みが必要か否かの判定とを、同一の判定条件で行っていた。そのため、電源ノイズ等により電圧が変動するとパス／フェイルの判定が不確実になり、前述したように処理ループを何度も繰り返すという問題点が発生する。

【 0 0 3 2 】

そこで、本発明においては、メモリセルのパス／フェイルの判定と、書き込み又は消去が必要か否かの判定を、別の判定条件で行う。例えば、データの書き込みの際には、まず、比較的厳しい第 1 の判定条件で書き込みが必要か否かを判定する第 1 の判定処理を実行し、書き込みが必要なメモリセルに対しては書き込み処理を行ってメモリセルに蓄積されている蓄積電荷量を変化させる。これにより、パス／フェイルの判定が不確実になる可能性のあるメモリセルには、より多くの電荷が注入されて、データが補強される。

【 0 0 3 3 】

その後、第 2 の判定条件でメモリセルのパス／フェイルを判定する第 2 の判定処理を実行する。第 1 の判定処理において、パス／フェイルの判定が不確実になる可能性のあったメモリセルには電荷が注入されてデータが補強されている。また、第 2 の判定処理では、第 1 の判定条件よりも緩和された第 2 の判定条件でパス／フェイルを判定する。従って、第 2 の判定処理ではメモリセルのデータがフェイルとなる可能性は極めて少ない。

【 0 0 3 4 】

このように、メモリセルのパス／フェイルの判定と、書き込み又は消去が必要か否かの判定を別の判定条件で行うことにより、ノイズ等に拘わらずパス／フェイルの判定が正確になり、データの検証（ベリファイ）処理の実行時間を従来に比べて大幅に短縮することができる。

【 0 0 3 5 】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【 0 0 3 6 】

（第 1 の実施の形態）

図 5 は本発明の第 1 の実施の形態に係る S O N O S 型不揮発性半導体メモリのメモリセル形成部を示す平面図、図 6（a）は図 5 の I - I 線による断面図、図 6（b）は図 5 の II - II 線による断面図、図 6（c）は図 5 の III - III 線による断面図である。

【 0 0 3 7 】

p 型シリコン基板 1 0 の表面には活性領域を確定する局所絶縁膜 1 1 が形成されている。この局所絶縁膜 1 1 は、図 6（a）の紙面に垂直な方向に延在している。シリコン基板 1 0 の活性領域上には、積層ゲート絶縁膜 1 5 が形成されている。この積層ゲート絶縁膜 1 5 は、基板 1 0 側から順番に、シリコン酸化膜 1 2、シリコン窒化膜 1 3 及びシリコン酸化膜 1 4 が積層された 3 層構造を有する。シリコン窒化膜 1 3 にはデータに応じた電荷が蓄積される。

【 0 0 3 8 】

シリコン酸化膜 1 1 の下には、シリコン基板 1 0 に A s（ヒ素）を導入して形成された不純物領域からなるビットライン 1 が配置されている。局所絶縁膜 1 1 及び積層ゲート絶縁膜 1 5 の上には、図 6（a）の横方向に延在するワードライン 2 が形成されている。このワードライン 2 は、例えば多結晶シリコン層とタングステンシリサイド（W S i）層との積層構造を有する。

【 0 0 3 9 】

ビットライン 1 とワードライン 2 とは、その交差個所において、局所絶縁膜 1 1 により相互に絶縁されている。相互に隣り合う一対のビットライン 1 の間と 1

本のワードライン 2 との交差個所に、一対のビットライン 1 をそれぞれソース及びドレインとし、ワードライン 2 をゲート電極とする F E T (メモリセル) 3 が形成される。

【 0 0 4 0 】

ビットライン 1 の延在する方向に隣り合う 2 つの F E T 3 のチャネル領域の間には、シリコン基板 1 0 に p 型不純物を導入して形成されたチャネルストッパ領域 4 が配置されている。

【 0 0 4 1 】

図 7 は、SONOS 型不揮発性半導体メモリの回路構成を示すブロック図である。1 つのメモリセルを構成する F E T 3 のソース及びドレインが、それぞれ隣り合う 2 本のビットライン 1 に接続され、ゲート電極がワードライン 2 に接続されている。

【 0 0 4 2 】

複数のメモリセルが行列状に配置されてメモリセルアレイを構成する。メモリセルにはそれぞれ固有のアドレスが割り当てられており、アドレス情報により 1 つのメモリセルが特定される。メモリセルアレイは、複数のブロックに分割されており、メモリセルの各々はいずれかのブロックに属する。

【 0 0 4 3 】

ビットライン 1 がセンスアンプ部 2 6 に接続され、ワードライン 2 がワードラインドライバ 2 7 に接続されている。制御回路 2 0 がセンスアンプ部 2 6 及びワードラインドライバ 2 7 を制御する。ここでは、ビットライン 1 を、図 7 の左から順番に B L 1, B L 2, B L 3, B L 4 … で表し、ワードライン 2 を、図 7 の上から順番に W L 1, W L 2, W L 3, W L 4 … で表わす。

【 0 0 4 4 】

制御回路 2 0 はアドレスカウンタ (図示せず) を有する。アドレスカウンタに設定されたアドレスで特定されるメモリセルに接続されたビットライン及びワードラインを選択することにより、所望のメモリセルにアクセスすることができる。

【 0 0 4 5 】

制御回路 2 0 は、外部の CPU 3 0 によって制御される。CPU 3 0 に、RAM 3 1 が接続されている。RAM 3 1 は、メモリセルに書き込むべきデータを一時的に記憶する。

【 0 0 4 6 】

(判定回路)

図 8 は、本実施の形態の不揮発性半導体メモリのセンスアンプ部 2 6 内に設けられたパス／フェイル判定回路の構成を示す回路図である。

【 0 0 4 7 】

基準電流発生回路 4 0 は、制御回路 2 0 からの信号に応じて所定の基準電流 I_{ref} を発生する。この基準電流発生回路 4 0 と接地との間には抵抗値が R_0 の抵抗 4 3 が接続されている。基準電流発生回路 4 0 から抵抗 4 3 に基準電流 I_{ref} が供給されると、抵抗 4 3 の基準電流発生回路 4 0 側の接続点 N 1 に基準電圧 ($R_0 \times I_{ref}$) が発生する。

【 0 0 4 8 】

また、メモリセルのソース側及びドレイン側のビット線には、それぞれ選択ゲート (MOSFET) 4 1, 4 2 が接続されている。これらの選択ゲート 4 1, 4 2 は、制御回路 2 0 からの信号に応じてオン／オフする。選択ゲート 4 2 と接地との間には、抵抗値が R_0 の抵抗 4 4 が接続されている。

【 0 0 4 9 】

例えば、メモリセル 3 に対し書き込まれたデータを検証 (ベリファイ) するときには、センスアンプ部 2 6 内のワード線制御回路 (図示せず) からメモリセル 3 のゲート (ワード線) に所定の電圧 V_{wr} が供給され、センスアンプ部 2 6 のビット線制御回路 (図示せず) から選択ゲート 4 1 を介してメモリセル 3 のドレインに所定の電圧 V_{br} が供給される。これにより、メモリセル 3 には、ゲート絶縁膜に蓄積された電荷量 (データ) に応じた電流 (セル電流) I_{core} が流れ、抵抗 4 4 の選択ゲート 4 2 側の接続点 N 2 にセル電圧 ($R_0 \times I_{core}$) が発生する。

【 0 0 5 0 】

センスアンプ 4 5 は基準電圧とセル電圧とを比較してパス／フェイルを判定する。そして、フェイルと判定した場合は “1” を出力し、パスと判定した場合は

“0” を出力する。

【0 0 5 1】

以下、上述した S O N O S 型不揮発性半導体メモリの動作について説明する。
以下に説明する動作は、C P U 3 0 からの指示により制御回路 2 0 が実行する。

【0 0 5 2】

(データ書き込み動作)

データ書き込みの動作は、選択したメモリセルのドレインに接続されたビット線 1 に書き込み電圧 V_{dp} (=約 6 V) を印加し、ソースに接続されたビット線 1 に 0 V を与え、ワード線 2 に電圧 V_{wp} (=約 1 0 V) を印加することで行う。このとき、非選択セルのビット線 1 とワード線 2 は浮遊させておき、データの書き込みを回避する。

【0 0 5 3】

上記のデータ書き込み動作が行われたとき、選択されたメモリセルにおいて、ドレイン近傍でホット電子が発生する。ホット電子はシリコン酸化膜 1 2 の障壁を超えて、シリコン窒化膜 1 3 中にトラップされる。これにより、選択されたメモリセル (F E T 3) のしきい値電圧が正方向にシフトする。この状態をデータが書き込まれた状態、すなわち “0” とする。

【0 0 5 4】

(データ消去動作)

データ消去動作は、選択されたブロックのすべてのメモリセルに対し一括して行う。データ消去動作は、選択されたブロックのワード線 2 の全てに電圧 V_{we} (=約 - 6 V) を印加し、ビット線 1 の全てに電圧 V_{be} (=約 6 V) を印加することで行う。これにより、シリコン窒化膜 1 3 中にトラップされていた電子が基板 1 0 側に排除され、メモリセル (F E T 3) のしきい値電圧が負方向にシフトする。この状態をデータが消去された状態、すなわち “1” とする。

【0 0 5 5】

(データ読出動作)

データの読み出し動作は、選択されたメモリセルにつながるワード線 2 に電圧 V_{wr} (=約 4 V) を印加し、ドレインに接続されたビット線 1 に読み出し電圧 V

br (=約 1.4 V) を印加し、ソースに接続されたビット線 1 に 0 V を与えることで行う。

【0056】

但し、読み出し動作におけるドレインとソースの関係は、データ書き込み動作におけるドレインとソースの関係と反転させる。これは、データ書き込みの際にドレインとした拡散層の近傍に電子がトラップされているため、読み出しの際にはドレインとソースとを反転させたほうがしきい値のシフトが大きくとれるためである。データの読み出しの結果、選択されたメモリセルに流れる電流と判定電流との大小関係を比較し、その結果により“0”，“1”を判定する。

【0057】

(ベリファイ)

図9は本実施の形態におけるベリファイの概念を示す図である。

【0058】

本実施の形態においては、基準電流1と基準電流2の2種類の基準電流（判定条件）を設けている。基準電流1は書き込みが必要か否かを判断するときに使用し、基準電流2はパス／フェイルの判断に使用する。基準電流1は、基準電流2よりも厳しい条件で設定する。

【0059】

但し、基準電流1及び基準電流2はノイズ等の影響により変動する。ここでは、基準電流1、2の変動範囲（図9中に破線の帯で示す）をそれぞれ不感帯という。基準電流1の不感帯と基準電流2の不感帯とが重ならないようにすることが必要である。

【0060】

実際のメモリでは、図10の概念図に示すように、書き込みベリファイ時及び消去ベリファイ時にそれぞれ2種類の判定条件を使用する。すなわち、書き込みベリファイ時には第1及び第2の書き込み判定条件でパス／フェイルを判定し、消去ベリファイ時には第1及び第2の消去判定条件でパス／フェイルの判定を行う。

【0061】

(書き込みベリファイ)

図 1 1 は、本実施の形態の不揮発性半導体メモリにおける書き込みベリファイの動作を示すフローチャートである。書き込みベリファイでは、書き込み動作を行う前に読み出しを行って、書き込みが十分であるか否かを検証（ベリファイ）する。書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合には、メモリセルに対し書き込み動作を行う。

【0062】

まず、ステップ S 3 1 において、フェイルカウントを初期化（フェイルカウント = 0）とする。その後、ステップ S 3 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 3 3 ではそのスタートアドレスのメモリセルからデータを読み出す。このとき、ワード線への印加電圧 V_{wr} を 5. 2 V、ドレイン側のビット線への印加電圧 V_{br} を 1. 4 V（第 1 の書き込み判定条件）としてデータを読み出す。

【0063】

次に、ステップ S 3 4 に移行し、データの書き込みが必要なメモリセルであるか否かを判定し、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの書き込みが必要なメモリセルであり、かつ読み出したデータがフェイル（Y e s）の場合（センスアンプ 4 5 の出力が“1”の場合）は、ステップ S 3 5 に移行する。一方、データの書き込みが不要のメモリセルの場合、又は読み出したデータがパス（N o）の場合（センスアンプ 4 5 の出力が“0”の場合）は、ステップ S 3 6 に移行する。

【0064】

ステップ S 3 5 では、当該アドレスのメモリセルに書き込みパルスを印加する。その後、ステップ S 3 6 に移行する。

【0065】

ステップ S 3 6 では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでないときはステップ S 3 7 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 3 3 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 0 6 6 】

このようにして、スタートアドレスのメモリセルから最終アドレスのメモリセルまで順番にデータを読み出し、データの書き込みが必要であり、かつ読み出したデータがフェイルと判定したメモリセルに対しては書き込みパルスを印加して、メモリセルの蓄積電荷量を変化させる。

【 0 0 6 7 】

その後、ステップ S 3 6 からステップ S 3 8 に移行して、再びスタートアドレスを設定する。そして、ステップ S 3 9 に移行し、設定されたアドレスのメモリセルからデータを読み出す。このとき、ワード線への印加電圧 V_{wr} を 5. 0 V、ドレイン側のビット線への印加電圧 V_{br} を 1. 4 V（第 2 の書き込み判定条件）とする。

【 0 0 6 8 】

次に、ステップ S 4 0 に移行し、データの書き込みが必要なメモリセルであるか否かを判定し、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの書き込みが必要なメモリセルであり、かつ読み出したデータがフェイル（Y e s）の場合（センスアンプ 4 5 の出力が“1”の場合）は、ステップ S 4 1 に移行する。一方、データの書き込みが不要なメモリセルの場合、又は読み出したデータがパス（N o）の場合（センスアンプ 4 5 の出力が“0”の場合）は、ステップ S 4 2 に移行する。

【 0 0 6 9 】

ステップ S 4 1 では、フェイルカウント数に 1 を加える。その後、ステップ S 4 2 に移行する。

【 0 0 7 0 】

ステップ S 4 2 では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでないときはステップ S 4 3 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 3 9 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 0 7 1 】

このようにして、スタートアドレスのメモリセルから最終アドレスのメモリセ

ルまで順番にデータを読み出し、データの書き込みが必要であり、かつフェイルであるか否かを判定する。そして、フェイルと判定した場合は、フェイルカウント数をアップする。

【0072】

その後、ステップS42からステップS44に移行して、フェイルカウント数が0か否かを判定し、0でない場合はステップS31に戻って、上記の処理を繰り返す。フェイルカウント数が0の場合は、書き込みベリファイを終了する。

【0073】

このように、本実施の形態においては、第1の書き込み判定条件でデータを読み出しフェイルか否かを判定してフェイルの場合には書き込みパルスを印加するステップS31からステップS37までの処理（以下、ループ1という）と、第2の書き込み判定条件でデータを読み出しフェイルか否かを判定してフェイルの場合にはフェイルカウント数をアップするステップS38からステップS44までの処理（以下、ループ2という）とを実施する。

【0074】

基準電流やセル電流はノイズ等の影響により経時的に変化することが考えられる。しかし、本実施の形態では、ループ1では、ループ2の書き込み判定条件よりも厳しい判定条件を用いてフェイルか否かを判定する。つまり、ループ1ではワード線に印加する電圧を5.2Vとしているのに対し、ループ2ではワード線に印加する電圧を5.0Vとしている。従って、メモリセルに蓄積されている電荷量が同じとすると、ループ2ではループ1に比べてメモリセルに流れる電流（セル電流）が少なくなる。これにより、ループ1で不感帯に含まれるメモリセルであっても、ループ2では確実にパスと判定される。

【0075】

このように、本実施の形態では書き込みベリファイ時におけるパス／フェイルの判定が正確になり、データの信頼性が向上すると共に、書き込みベリファイに要する時間が短縮される。

【0076】

なお、本実施の形態において、図11中に破線矢印で示すように、ステップS

4 0 でフェイルと判定した場合に、ステップ S 3 1 に移行するようにしてもよい。

【 0 0 7 7 】

(消去ベリファイ)

図 1 2 は、本実施の形態の不揮発性半導体メモリの消去ベリファイの動作を示すフローチャートである。消去ベリファイでは、ブロック内の全てのメモリセルに対し順番に読み出し動作を行い、フェイルのメモリセルが一つでもあればブロック全体のメモリセルに対し一括消去動作を実行する。

【 0 0 7 8 】

まず、ステップ S 5 1 において、フェイルカウントを初期化（フェイルカウント = 0）する。その後、ステップ S 5 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 5 3 ではそのスタートアドレスのメモリセルからデータを読み出す。このとき、ワード線に印加する電圧 V_{wr} を 2. 3 V、ドレイン側のビット線に印加する電圧 V_{br} を 1. 4 V（第 1 の消去判定条件）として読み出しを行う。

【 0 0 7 9 】

次に、ステップ S 5 4 に移行し、読み出したデータがフェイルか否かを判定する。フェイル（Y e s）の場合（センスアンプ 4 5 の出力が “1” の場合）はステップ S 5 5 に移行し、パス（N o）の場合（センスアンプ 4 5 の出力が “0” の場合）はステップ S 5 6 に移行する。

【 0 0 8 0 】

ステップ S 5 5 では、フェイルカウント数に 1 を加える。その後、ステップ S 5 6 に移行する。

【 0 0 8 1 】

ステップ S 5 6 ではアドレスカウンタに設定されているアドレスが終了アドレスか否かを判定する。終了アドレスでないときはステップ S 5 7 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 5 3 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 0 8 2 】

このようにして、スタートアドレスのメモリセルから終了アドレスのメモリセルまで順番にデータを読み出し、フェイルか否かの判定を行い、フェイルを検出するたびにフェイルカウント数をアップする。

【 0 0 8 3 】

その後、ステップ S 5 6 からステップ S 5 8 に移行に移行し、フェイルカウント数が 0 か否かを判定する。フェイルカウント数が 0 の場合は、ステップ S 5 8 からステップ S 6 0 に移行する。ステップ S 5 8 でフェイルカウント数が 0 でない場合はステップ S 5 9 に移行してスタートアドレスから終了アドレスまでのメモリセルに対し一括して消去パルスを印加する。その後、ステップ S 6 0 に移行する。

【 0 0 8 4 】

ステップ S 6 0 では、再びフェイルカウントを初期化（フェイルカウント = 0）する。その後、ステップ S 6 1 においてスタートアドレスを設定し、ステップ S 6 2 ではそのスタートアドレスのメモリセルからデータを読み出す。このとき、ワード線に印加する電圧 V_{wr} を 2. 5 V、ドレイン側のビット線に印加する電圧 V_{br} を 1. 4 V（第 2 の消去判定条件）とする。

【 0 0 8 5 】

次に、ステップ S 6 3 に移行し、読み出したデータがフェイルか否かを判定する。フェイル（Y e s）の場合（センスアンプ 4 5 の出力が “1” の場合）はステップ S 6 4 に移行し、パス（N o）の場合（センスアンプ 4 5 の出力が “0” の場合）はステップ S 6 5 に移行する。

【 0 0 8 6 】

ステップ S 6 4 では、フェイルカウント数に 1 を加える。その後、ステップ S 6 5 に移行する。

【 0 0 8 7 】

ステップ S 6 5 ではアドレスカウンタに設定されているアドレスが終了アドレスか否かを判定する。終了アドレスでないときはステップ S 6 6 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 6 2 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【0088】

このようにして、スタートアドレスのメモリセルから終了アドレスのメモリセルまで順番にデータを読み出し、フェイルか否かの判定を行い、フェイルを検出するたびにフェイルカウント数をアップする。

【0089】

その後、ステップS65からステップS67に移行して、フェイルカウント数が0か否かを判定する。フェイルカウント数が0でない場合は、ステップS51に戻って、上記の処理を繰り返す。ステップS65でフェイルカウント数が0の場合は、消去ベリファイを終了する。

【0090】

このように、本実施の形態においては、第1の消去判定条件でメモリセルからデータを読み出してフェイルか否かを判定しフェイルの場合に消去パルスを印加するステップS51からステップS58までの処理（以下、ループ1という）と、第2の消去判定条件でメモリセルからデータを読み出してフェイルか否かを判定しフェイルの場合にはフェイルカウンタをアップするステップS60からステップS67までの処理（以下、ループ2という）とを実施する。

【0091】

基準電流及びセル電流はノイズ等の影響により経時的に変化することが考えられる。しかし、本実施の形態では、ループ1では、ループ2の消去判定条件よりも厳しい判定条件を用いてフェイルか否かを判定する。つまり、ループ1ではワード線に印加する電圧を2.3Vとしているのに対し、ループ2ではワード線に印加する電圧を2.5Vとしている。従って、メモリセルに蓄積されている電荷量が同じとすると、ループ2ではループ1に比べてメモリセルに流れる電流（セル電流）が大きくなる。これにより、ループ1で不感帯に含まれるメモリセルであっても、ループ2では確実にパスと判定される。

【0092】

このように、本実施の形態では消去ベリファイ時におけるパス／フェイルの判定が正確になり、データの信頼性が向上すると共に、消去ベリファイに要する時間が短縮される。

【 0 0 9 3 】

なお、図 1 2 中に破線矢印で示すように、ステップ S 5 4 でフェイルと判定した場合に、ステップ S 5 9 に移行するようにしてもよい。また、ステップ S 6 3 でフェイルと判定した場合に、ステップ S 5 1 に移行するようにしてもよい。

【 0 0 9 4 】

上述した書き込みベリファイ及び消去ベリファイにおいて、基準電流を $10\mu\text{A}$ とし、しきい値電圧をセル電流が $10\mu\text{A}$ に達するときのワード線の電圧（WL 電圧）で定義した場合、データが書き込まれたメモリセルのしきい値電圧は 5 V 以上、消去されたメモリセルのしきい値電圧は 2.5 V 以下となり、データ “0” のときとデータ “1” のときのしきい値電圧の差（ウィンドウ）が 2.5 V となる。

【 0 0 9 5 】

従って、データ読み出し時には、例えばワード線に印加する電圧 V_{wr} を 4.0 V、ドレイン側のビット線に印加する電圧 V_{br} を 1.4 V とし、メモリセルに流れる電流 I_{core} と基準電流 I_{ref} とを大小比較することで、データ “0” 又はデータ “1” を正確に読み出すことができる。

【 0 0 9 6 】

（第 2 の実施の形態）

図 1 3 は本発明の第 2 の実施の形態の不揮発性半導体メモリのパス／フェイル判定回路の構成を示す回路図である。なお、本実施の形態の不揮発性半導体メモリが第 1 の実施の形態と異なる点はパス／フェイル判定回路の構成が異なることにあり、その他の構成は基本的に第 1 の実施の形態と同様であるので、重複する部分の説明は省略する。また、図 1 3 において、図 8 と同一物には同一符号を付している。

【 0 0 9 7 】

本実施の形態においては、メモリセル 3 の他に、1 個のデータ読み出し用リファレンスセル、2 個の書き込みベリファイ用リファレンスセル、2 個の消去ベリファイ用リファレンスセルを設けておく。これらのリファレンスセルは、基本的にメモリセル 3 と同じ構造である。但し、データ読み出し用リファレンスセルの

しきい値電圧は4.0V、第1の書き込みベリファイ用リファレンスセルのしきい値電圧は5.2V、第2の書き込みベリファイ用リファレンスセルのしきい値電圧は5.0V、第1の消去ベリファイ用リファレンスセルのしきい値電圧は2.3V、第2の消去ベリファイ用リファレンスセルのしきい値電圧は2.5Vに設定する。図13では、これらのリファレンスセルのうち、第1の書き込みベリファイ用リファレンスセル51及び第2の書き込みベリファイ用リファレンスセル52のみを示している。

【0098】

第1の書き込みベリファイ用リファレンスセル51のソース側及びドレイン側のビット線にはそれぞれ選択ゲート(MOSFET)53, 54が接続されている。これらの選択ゲート53, 54は制御回路からの信号に応じてオン/オフする。選択ゲート54と接地との間には、抵抗値がR0の抵抗57が接続されている。抵抗57と選択ゲート54との接続点N3はセンスアンプ45の一方の入力端に接続されている。

【0099】

また、第2の書き込みベリファイ用リファレンスセル52のソース側及びドレイン側のビット線にはそれぞれ選択ゲート(MOSFET)55, 56が接続されている。これらの選択ゲート55, 56も、制御回路からの信号に応じてオン/オフする。選択ゲート56と接地との間には、抵抗値がR0の抵抗58が接続されている。抵抗58と選択ゲート56との接続点N4も、センスアンプ45の一方の入力端に接続されている。

【0100】

これと同様に、第1及び第2の消去ベリファイ用リファレンスセルのソース側及びドレイン側のビット線にはそれぞれ選択ゲートが接続され、一方の選択ゲートと接地との間には抵抗値がR0の抵抗が接続されている。そして、それらの抵抗と選択ゲートとの接続点はセンスアンプ45の一方の入力端に接続されている。

【0101】

(書き込みベリファイ)

以下、書き込みベリファイ時の動作について説明する。本実施の形態においても、図 1 1 のフローチャートを参照して書き込みベリファイ時の動作を説明する。

【0 1 0 2】

まず、ステップ S 3 1 において、フェイルカウントを初期化（フェイルカウント = 0）とする。その後、ステップ S 3 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 3 3 ではそのスタートアドレスのメモリセルからデータを読み出す。

【0 1 0 3】

このとき、メモリセル 3 及び第 1 の書き込みベリファイ用リファレンスセル 5 1 のゲートに接続されたワード線に同時に読み出し電圧 $V_{wr} = 4.0 \text{ V}$ を供給し、ドレイン側のビット線に同時に電圧 $V_{br} = 1.4 \text{ V}$ を供給する（第 1 の書き込み判定条件）。また、第 2 の書き込みベリファイ用リファレンスセル 5 2、データ読み出し用リファレンスセル並びに第 1 及び第 2 の消去ベリファイ用リファレンスセルは、それらに接続する選択ゲートをオフにしておくことで、電流が流れないようにしておく。

【0 1 0 4】

次に、ステップ S 3 4 に移行し、データの書き込みが必要なメモリセルであるか否かを判定し、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合（Y e s）は、ステップ S 3 5 に移行する。一方、データの書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合（N o）は、ステップ S 3 6 に移行する。

【0 1 0 5】

データの書き込みが必要なメモリセルの場合、しきい値電圧がリファレンスセル 5 1 のしきい値電圧（ 5.2 V ）よりも低い場合はフェイルと判定される。

【0 1 0 6】

ステップ S 3 5 では、当該アドレスのメモリセルに書き込みパルスを印加する。その後、ステップ S 3 6 に移行する。

【 0 1 0 7 】

ステップ S 3 6 では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでないときはステップ S 3 7 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 3 3 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 0 8 】

このようにして、スタートアドレスのメモリセルから最終アドレスのメモリセルまで順番にデータを読み出し、データの書き込みが必要であり、かつ読み出したデータがフェイルと判定したメモリセルに対しては書き込みパルスを印加して、メモリセルの蓄積電荷量を変化させる。

【 0 1 0 9 】

その後、ステップ S 3 6 からステップ S 3 8 に移行して、再びアドレスカウンタにスタートアドレスを設定する。そして、ステップ S 3 9 に移行し、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 1 0 】

このとき、メモリセル 3 及び第 2 の書き込みベリファイ用リファレンスセル 5 2 のゲートに接続されたワード線に同時に読み出し電圧 $V_{wr} = 4.0 \text{ V}$ を供給し、ドレイン側のビット線に同時に電圧 $V_{br} = 1.4 \text{ V}$ を供給する（第 2 の書き込み判定条件）。また、第 1 の書き込みベリファイ用リファレンスセル 5 1、データ読み出し用リファレンスセル並びに第 1 及び第 2 の消去ベリファイ用リファレンスセルは、それらに接続する選択ゲートをオフにしておくことで、電流が流れないようにしておく。

【 0 1 1 1 】

次に、ステップ S 4 0 に移行し、データの書き込みが必要なメモリセルであるか否かを判定し、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの書き込みが必要なメモリセルであり、かつ読み出したデータがフェイル（Y e s）の場合（センスアンプ 4 5 の出力が“1”の場合）は、ステップ S 4 1 に移行する。一方、データの書き込みが不要なメモリセルの場合、又は読み出したデータがパス（N o）の場合（センスアン

プ 4 5 の出力が “ 0 ” の場合) は、ステップ S 4 2 に移行する。

【 0 1 1 2 】

データの書き込みが必要なメモリセルの場合、しきい値電圧がリファレンスセル 5 2 のしきい値電圧 (5 . 0 V) よりも高い場合はパスと判定される。

【 0 1 1 3 】

ステップ S 4 1 では、フェイルカウント数に 1 を加える。その後、ステップ S 4 2 に移行する。

【 0 1 1 4 】

ステップ S 4 2 では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでないときはステップ S 4 3 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 3 9 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 1 5 】

このようにして、スタートアドレスのメモリセルから最終アドレスのメモリセルまで順番にデータを読み出し、データの書き込みが必要であり、かつフェイルであるか否かを判定する。そして、フェイルと判定した場合は、フェイルカウント数をアップする。

【 0 1 1 6 】

その後、ステップ S 4 2 からステップ S 4 4 に移行して、フェイルカウント数が 0 か否かを判定し、 0 でない場合はステップ S 3 1 に戻って、上記の処理を繰り返す。フェイルカウント数が 0 の場合は、ベリファイを終了する。

【 0 1 1 7 】

このように、本実施の形態では、ループ 1 において、メモリセル 3 に流れる電流 I_{core} と、しきい値電圧が高い第 1 の書き込みベリファイ用リファレンスセル 5 1 に流れる電流 I_{ref1} とを比較してフェイルか否かを判定し、フェイルと判定した場合にメモリセルに対し書き込みパルスを印加する。一方、ループ 2 においては、メモリセル 3 に流れる電流 I_{core} と、しきい値電圧が低い第 2 の書き込みベリファイ用リファレンスセル 5 2 に流れる電流 I_{ref2} とを比較してフェイルか否かを判定する。従って、ループ 1 で不感帯に含まれるメモリセルであっても、

ループ 2 では確実にパスと判定される。

【 0 1 1 8 】

(消去ベリファイ)

以下、消去ベリファイ時の動作について説明する。本実施の形態においても、図 1 2 のフローチャートを参照して消去ベリファイ時の動作を説明する。

【 0 1 1 9 】

まず、ステップ S 5 1 において、フェイルカウントを初期化（フェイルカウント = 0）する。その後、ステップ S 5 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 5 3 ではそのスタートアドレスからデータを読み出す。このとき、メモリセル 3 及び第 1 の消去ベリファイ用リファレンスセルのゲートに接続されたワード線に同時に読み出し電圧 $V_{wr} = 4.0 \text{ V}$ を供給し、ドレイン側のビット線に同時に電圧 $V_{br} = 1.4 \text{ V}$ を供給する（第 1 の消去判定条件）。また、第 2 の消去ベリファイ用リファレンスセル並びに第 1 及び第 2 の書き込みベリファイ用リファレンスセルは、それらに接続する選択ゲートをオフにしておくことで、電流が流れないようにしておく。

【 0 1 2 0 】

次に、ステップ S 5 4 に移行し、読み出したデータがフェイルか否かを判定する。メモリセルのしきい値電圧が第 1 の消去ベリファイ用リファレンスセルのしきい値電圧（ 2.3 V ）よりも高い場合はフェイルと判定される。フェイル（Yes）の場合はステップ S 5 5 に移行し、パス（No）の場合はステップ S 5 6 に移行する。

【 0 1 2 1 】

ステップ S 5 5 ではフェイルカウント数に 1 を加え、その後ステップ S 5 6 に移行する。

【 0 1 2 2 】

ステップ S 5 6 ではアドレスカウンタに設定されているアドレスが終了アドレスか否かを判定する。終了アドレスでないときはステップ S 5 7 に移行して、アドレスカウンタに次にアドレスを設定する。そして、ステップ S 5 3 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 2 3 】

ステップ S 5 6 からステップ S 5 8 に移行した場合は、フェイルカウント数が 0 か否かを判定する。フェイルカウント数が 0 の場合はステップ S 6 0 に移行する。ステップ S 5 8 でフェイルカウント数が 0 でない場合はステップ S 5 9 に移行して、スタートアドレスから終了アドレスまでのメモリセルに対し一括して消去パルスを印加する。その後、ステップ S 6 0 に移行する。

【 0 1 2 4 】

ステップ S 6 0 では再びフェイルカウントを初期化（フェイルカウント = 0）する。その後、ステップ S 6 1 においてスタートアドレスを設定し、ステップ S 6 2 ではそのスタートアドレスのメモリセルからデータを読み出す。

【 0 1 2 5 】

このとき、メモリセル 3 及び第 2 の消去ベリファイ用リファレンスセルのゲートに接続されたワード線に同時に電圧 $V_{wr} = 4.0 \text{ V}$ を供給し、ドレイン側のビット線に同時に電圧 $V_{br} = 1.4 \text{ V}$ を供給する（第 2 の消去判定条件）。また、第 1 の消去ベリファイ用リファレンスセル、データ読み出し用リファレンスセル並びに第 1 及び第 2 のデータ書き込みベリファイ用リファレンスセルは、それらに接続する選択ゲートをオフにしておくことで、電流が流れないようにしておく。

【 0 1 2 6 】

次に、ステップ S 6 3 に移行し、読み出したデータがフェイルか否かを判定する。メモリセルのしきい値電圧が第 2 の消去ベリファイ用リファレンスセルのしきい値電圧（ 2.5 V ）よりも低い場合はパスと判定される。フェイル（Yes）の場合はステップ S 6 4 に移行し、パス（No）の場合はステップ S 6 5 に移行する。

【 0 1 2 7 】

ステップ S 6 4 では、フェイルカウント数に 1 を加え、その後ステップ S 6 5 に移行する。

【 0 1 2 8 】

ステップ S 6 5 ではアドレスカウンタに設定されているアドレスが終了アドレ

スか否かを判定する。終了アドレスでないときはステップ S 6 6 に移行して、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 6 2 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 2 9 】

ステップ S 6 5 からステップ S 6 7 に移行した場合は、フェイルカウント数が 0 か否かを判定する。フェイルカウント数が 0 でない場合はステップ S 5 1 に戻って上記の処理を繰り返す。ステップ S 6 5 でフェイルカウント数が 0 の場合は、消去ベリファイを終了する。

【 0 1 3 0 】

このように、本実施の形態では、ループ 1 において、メモリセル 3 に流れる電流と、しきい値電圧が低い第 1 の消去ベリファイ用リファレンスセルに流れる電流とを比較してフェイルか否かを判定し、フェイルと判定した場合にメモリセルに対し書き込みパルスを印加する。一方、ループ 2 においては、メモリセル 3 に流れる電流と、しきい値電圧が高い第 2 の消去ベリファイ用リファレンスセルに流れる電流とを比較してフェイルか否かを判定する。従って、ループ 1 で不感帯に含まれるメモリセルであっても、ループ 2 では確実にパスと判定される。

【 0 1 3 1 】

(第 3 の実施の形態)

図 1 4 は本発明の第 3 の実施の形態の不揮発性半導体メモリのパス／フェイル判定回路の構成を示す回路図である。なお、本実施の形態の不揮発性半導体メモリが第 1 の実施の形態と異なる点はパス／フェイル判定回路の構成が異なることにあり、その他の構成は基本的に第 1 の実施の形態と同様であるので、重複する部分の説明は省略する。また、図 1 4 において、図 8 と同一物には同一符号を付している。

【 0 1 3 2 】

前述の第 2 の実施の形態では、書き込みベリファイ及び消去ベリファイ用にそれぞれ 2 個のリファレンスセルを必要としていた。このため、各リファレンスセルのしきい値電圧を設定することが煩雑であるという欠点がある。本実施の形態では、1 個の書き込みベリファイ用リファレンスセルと 1 個の消去ベリファイ用

リファレンスセルでパス／フェイル判定回路を構成する。ここでは、書き込みベリファイ用リファレンスセルについて説明する。

【0133】

リファレンスセル61のソース側及びドレイン側のビット線にはそれぞれ選択ゲート(MOSFET)62, 63が接続されている。これらの選択ゲート62, 63は制御回路からの信号に応じてオン／オフする。選択ゲート63と接地との間には、抵抗値がR0の抵抗64が接続されている。

【0134】

書き込みベリファイ用リファレンスセルの場合はしきい値電圧を5.0Vに設定し、消去ベリファイ用リファレンスセルの場合はしきい値電圧を2.3Vに設定する。

【0135】

レベル切替回路66は、2つのスイッチ67a, 67bにより構成されている。一方のスイッチ67aはワード線制御回路とレベル制御用トランジスタ65との間に接続され、他方のスイッチ67bはワード線制御回路とリファレンスセル61のゲートとの間に接続される。

【0136】

レベル制御用トランジスタ65のドレイン及びゲートはスイッチ67aに接続され、ソースはリファレンスセル61のゲートに接続されている。

【0137】

このレベル制御用トランジスタ65のしきい値電圧 V_{th0} は0.2Vに調整されている。また、トランジスタ65は、メモリセル3と同じ導電型のトランジスタが使用される。例えば、メモリセル3がp型トランジスタであれば、レベル制御用トランジスタ65もp型トランジスタであり、メモリセル3がn型トランジスタであればレベル制御用トランジスタ65もn型トランジスタである。この例ではレベル制御用トランジスタ65はn型であるものとする。

【0138】

本実施の形態の不揮発性半導体メモリにおいても、書き込みベリファイ及び消去ベリファイの動作は図11, 図12に示すフローチャートに従う。但し、書き

込みベリファイの場合、ループ1ではスイッチ67aをオン、スイッチ67bをオフとしてパス／フェイルの判定を行う。また、ループ2ではスイッチ67aをオフ、スイッチ67bをオンとしてパス／フェイルの判定を行う。

【0139】

ループ1ではリファレンスセル61のゲートに印加される電圧が3.8V(4.0V-0.2V)となり、ループ2ではリファレンスセル61のゲートに印加される電圧が4Vとなる。すなわち、ループ1ではループ2よりも厳しい条件でパス／フェイルの判定を行う。これにより、ループ1で不感帯に含まれるメモリセルであっても、ループ2では確実にパスと判定される。

【0140】

消去ベリファイの場合、ループ1ではスイッチ67aをオフ、スイッチ67bをオンとしてパス／フェイルの判定を行う。また、ループ2ではスイッチ67aをオン、スイッチ67bをオフとしてパス／フェイルの判定を行う。

【0141】

ループ1ではリファレンスセル61のゲートに印加される電圧が4.0Vとなり、ループ2ではリファレンスセル61のゲートに印加される電圧が3.8V(4.0V-0.2V)となる。すなわち、ループ1ではループ2よりも厳しい条件でパス／フェイルの判定を行う。これにより、ループ1で不感帯に含まれるメモリセルであっても、ループ2では確実にパスと判定される。

【0142】

本実施の形態においては、第2の実施の形態と同様の効果が得られるのに加えて、書き込みベリファイ用リファレンスセル及び消去ベリファイ用リファレンスセルがそれぞれ1個でよく、しきい値電圧の調整が容易になるという効果が得られる。

【0143】

(第4の実施の形態)

以下、本発明の第4の実施の形態の不揮発性半導体メモリについて説明する。本実施の形態は、本発明を多値化メモリに適用した例を示している。

【0144】

多値化メモリでは、メモリセルのしきい値電圧をデータに応じて設定する。1個のメモリセルに2ビットのデータを記憶する場合は、図15に示すように4つのデータ“00”、“01”、“10”、“11”に対応させた電圧でデータ書き込みを行う。本実施の形態では、データ“00”を書き込むときは6V、データ“01”を書き込むときは4V、データ“10”を書き込むときは2Vとする。また、消去レベルを1Vとし、しきい値電圧が1V以下のメモリセルのデータは“11”とする

メモリセルに記憶されているデータの判定には、3つの判定レベル（判定レベルA、B、C）を使用する。ここでは、判定レベルAは5V、判定レベルBは3V、判定レベルCは1.5Vとする。

【0145】

メモリセルから読み出したセル電圧と判定レベルA、B、Cとの比較結果が全て“0”の場合、メモリセルに記憶されているデータは“00”と判定する。メモリセルから読み出したセル電圧と判定レベルAとの比較結果が“1”、判定レベルB、Cとの比較結果がいずれも“0”の場合、メモリセルに記憶されているデータは“01”と判定する。メモリセルから読み出したセル電圧と判定レベルA、Bとの比較結果がいずれも“1”、判定レベルCとの比較結果が“0”の場合、メモリセルに記憶されているデータは“10”と判定する。メモリセルから読み出したセル電圧と判定レベルA、B、Cとの比較結果がいずれも“1”の場合、メモリセルに記憶されているデータは“11”と判定する。

【0146】

データの書き込み及びデータの読み出しの際には、前述したように、電源ノイズ等の影響により、不感帯が発生する。そこで、本実施の形態においては、図15に示すように、データ“00”の書き込み判定レベル1aに対して若干厳しく設定された書き込み判定レベル1b、データ“01”の書き込み判定レベル2aに対して若干厳しく設定された書き込み判定レベル2b、データ“10”の書き込み判定レベル3aに対して若干厳しく設定された書き込み判定レベル3b、消去判定レベル4aに対して若干厳しく設定された消去判定レベル4bを用いる。これらの書き込み判定レベル又は消去判定レベルとセル電圧との比較は、第1～

第 3 の実施の形態で説明したパス／フェイル判定回路を用いて行う。

【 0 1 4 7 】

図 1 6, 1 7 は、本実施の形態の不揮発性半導体メモリにおける書き込みベリファイ時の動作を示すフローチャートである。

【 0 1 4 8 】

まず、ステップ S 7 1 において、フェイルフラグを初期化（フェイルフラグ＝0）する。フェイルフラグの替わりに、第 1 ～第 3 の実施の形態と同様に、フェイルカウンタを用いてもよい。

【 0 1 4 9 】

次に、ステップ S 7 2 において、アドレスカウンタにスタートアドレスを設定し、ステップ S 7 3 ではそのスタートアドレスのメモリセルからデータを読み出す。そして、ステップ S 7 4 に移行し、データ“0 0”の書き込みが必要なメモリセルであるか否かを判定し、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの読み出し及びパス／フェイルの判定は、図 1 5 に示す書き込み判定レベル 1 b に相当する条件で行う。

【 0 1 5 0 】

データ“0 0”の書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合（Y e s）は、ステップ S 7 5 に移行する。一方、データ“0 0”の書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合（N o）は、ステップ S 7 6 に移行する。

【 0 1 5 1 】

ステップ S 7 5 では、当該アドレスのメモリセルに書き込みパルスを印加する。その後、ステップ S 7 6 に移行する。

【 0 1 5 2 】

ステップ S 7 6 では、アドレスカウンタに設定されているメモリセルからデータを読み出す。そして、ステップ S 7 7 に移行し、データ“0 0”又は“0 1”の書き込みが必要なメモリセルか否か、データの書き込みが必要なセルの場合は読み出したデータがフェイルか否かを判定する。データの読み出し及びパス／フェイルの判定は、図 1 5 に示す書き込み判定レベル 2 b に相当する条件で行う。

【0153】

データ“00”又は“01”の書き込みが必要なメモリセルであり、且つ読み出したデータがフェイルの場合（Yes）は、ステップS78に移行する。一方、データ“00”又は“01”の書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合（No）は、ステップS79に移行する。

【0154】

ステップS78では、当該アドレスのメモリセルに書き込みパルスを印加する。その後、ステップS79に移行する。

【0155】

ステップS79では、アドレスカウンタに設定されているメモリセルからデータを読み出す。そして、ステップS80に移行し、データ“00”、“01”又は“10”の書き込みが必要なメモリセルか否か、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの読み出し及びパス／フェイルの判定は、図15に示す書き込み判定レベル3bに相当する条件で行う。

【0156】

データ“00”、“01”又は“10”の書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合（Yes）は、ステップS81に移行する。一方、データ“00”、“01”又は“10”の書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合（No）は、ステップS82に移行する。

【0157】

ステップS81では、当該アドレスのメモリセルに書き込みパルスを印加する。その後、ステップS82に移行する。

【0158】

ステップS82では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでない場合はステップS83に移行し、アドレスカウンタに次のアドレスを設定する。そして、ステップS73に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 5 9 】

このようにして、ステップ S 7 1 からステップ S 8 2 までの処理（以下、ループ 1 という）では、スタートアドレスのメモリセルから最終アドレスのメモリセルまで順番にデータを読み出し、所定のデータが書き込まれていないメモリセルに対しては書き込みパルスを印加して、メモリセルの蓄積電荷量を変化させる。

【 0 1 6 0 】

その後、ステップ S 8 2 からステップ S 8 4 に移行して、アドレスカウンタにスタートアドレスを設定する。

【 0 1 6 1 】

次に、ステップ S 8 5 に移行して、設定されたアドレスのメモリセルからデータを読み出す。そして、ステップ S 8 6 に移行し、データ “ 0 0 ” の書き込みが必要なメモリセルか否か、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの読み出し及びパス／フェイルの判定は、図 1 5 に示す書き込み判定レベル 1 a に相当する条件で行う。

【 0 1 6 2 】

データ “ 0 0 ” の書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合（Y e s）は、ステップ S 8 7 に移行する。一方、データ “ 0 0 ” の書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合（N o）は、ステップ S 8 8 に移行する。

【 0 1 6 3 】

ステップ S 8 7 では、フェイルフラグを “ 1 ” に設定する。その後、ステップ S 8 8 に移行する。

【 0 1 6 4 】

ステップ S 8 8 では、アドレスカウンタに設定されているメモリセルからデータを読み出す。そして、ステップ S 8 9 に移行し、データ “ 0 0 ” 又は “ 0 1 ” の書き込みが必要なメモリセルか否か、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの読み出し及びパス／フェイルの判定は、図 1 5 に示す書き込み判定レベル 2 a に相当する条件で行う。

【 0 1 6 5 】

データ “ 0 0 ” 又は “ 0 1 ” の書き込みが必要なメモリセルであり、かつ読み出したデータがフェイルの場合 (Y e s) は、ステップ S 9 0 に移行する。一方、データ “ 0 0 ” の書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合 (N o) は、ステップ S 9 1 に移行する。

【 0 1 6 6 】

ステップ S 9 0 では、フェイルフラグを “ 1 ” に設定する。その後、ステップ S 9 1 に移行する。

【 0 1 6 7 】

ステップ S 9 1 では、アドレスカウンタに設定されているメモリセルからデータを読み出す。そして、ステップ S 9 2 に移行し、データ “ 0 0 ” 、 “ 0 1 ” 又は “ 1 0 ” の書き込みが必要なメモリセルか否か、データの書き込みが必要なメモリセルの場合は読み出したデータがフェイルか否かを判定する。データの読み出し及びパス／フェイルの判定は、図 1 5 に示す書き込み判定レベル 3 a に相当する条件で行う。

【 0 1 6 8 】

データ “ 0 0 ” 、 “ 0 1 ” 又は “ 1 0 ” の書き込みが必要なメモリセルであり、かつ読み出したデータがフェイル (Y e s) の場合は、ステップ S 9 3 に移行する。一方、データ “ 0 0 ” 、 “ 0 1 ” 又は “ 1 0 ” の書き込みが不要のメモリセルの場合、又は読み出したデータがパスの場合 (N o) は、ステップ S 9 4 に移行する。

【 0 1 6 9 】

ステップ S 9 3 では、フェイルフラグを “ 1 ” に設定する。その後、ステップ S 9 4 に移行する。

【 0 1 7 0 】

ステップ S 9 4 では、アドレスカウンタに設定されているアドレスが最終アドレスか否かを判定する。最終アドレスでない場合はステップ S 9 5 に移行し、アドレスカウンタに次のアドレスを設定する。そして、ステップ S 8 4 に戻り、設定されたアドレスのメモリセルからデータを読み出す。

【 0 1 7 1 】

このようにして、ステップ S 8 4 からステップ S 9 4 までの処理（以下、ループ 2 という）では、スタートアドレスのメモリセルから最終アドレスのメモリセルまで順番にデータを読み出し、所定のデータが書き込まれていないメモリセルを検出した場合にフェイルフラグを“1”に設定する。

【 0 1 7 2 】

その後、ステップ S 9 4 からステップ S 9 6 に移行すると、フェイルフラグが“0”か否かを判定する。フェイルフラグが“1”の場合はステップ S 7 1 に戻り、上述した処理を繰り返す。一方、フェイルフラグが“0”の場合は、書き込みベリファイを終了する。

【 0 1 7 3 】

このように、本実施の形態では、ループ 1 においてループ 2 の書き込み判定条件よりも厳しい条件を用いてフェイルか否かを判定する。従って、ループ 1 で不感帯に含まれるメモリセルであっても、ループ 2 では確実にパスと判定される。従って、データの信頼性が向上すると共に、書き込みベリファイに要する時間が短縮される。

【 0 1 7 4 】

なお、本実施の形態の不揮発性半導体メモリの消去ベリファイ時の動作は基本的に第 1 の実施の形態と同じであるので、ここでは説明を省略する。

【 0 1 7 5 】

また、上記第 1 ～第 4 の実施の形態においては、第 1 の判定条件及び第 2 の判定条件における印加電圧の差をいずれも 0. 2 V としているが、実際にはノイズ等による電圧のふらつきに応じて第 1 の判定条件及び第 2 の判定条件における印加電圧を適切に設定する必要がある。

【 0 1 7 6 】

（その他の実施の形態 1）

上記第 1 ～第 4 の実施の形態においては、いずれも本発明を SONOS 型不揮発性半導体メモリに適用した場合について説明したが、本発明はその他の単ゲート型メモリやフローティングゲート型メモリに適用することもできる。また、半

導体メモリの回路構成がNOR型かNAND型かに拘わらず適用することができる。更に、データの書き込み方式がチャネルホットエレクトロンで書き込むか、FN (Fowler-Nordheim) トンネリングで書き込むかに拘わらず、適用することができる。

【 0 1 7 7 】

図 1 8 はフローティングゲート型メモリ (NORゲート型) の一例を示す断面図である。

【 0 1 7 8 】

シリコン基板 7 1 にはメモリセルのソース/ドレインである不純物拡散層 7 2 が形成されている。シリコン基板 7 1 の表面上にはシリコン酸化膜 (ゲート酸化膜) 7 3 が形成されている。

【 0 1 7 9 】

一対の不純物拡散層 7 2 の間のシリコン酸化膜 7 3 の上にはフローティングゲート 7 4 が形成されている。このフローティングゲート 7 4 の上には絶縁膜 7 5 が形成されており、絶縁膜 7 5 の上にはポリシリコン層とタンゲステンシリサイド層との積層構造のコントロールゲート 7 6 が形成されている。

【 0 1 8 0 】

これらのフローティングゲート 7 4 及びコントロールゲート 7 6 は、シリコン酸化膜 7 7 と B P S G (Borophosphosilicate glass) 膜 7 8 とからなる積層構造の層間絶縁膜に覆われている。

【 0 1 8 1 】

図 1 9 はフローティングゲート型メモリ (フラッシュメモリ) の回路構成を示すブロック図である。

【 0 1 8 2 】

メモリセルを構成する F E T 8 3 はマトリクス状に配列されている。行方向に並んだメモリセルのコントロールゲートは共通のワードライン (W L 1, W L 2, ...) 8 2 に接続されている。また、列方向に並んだメモリセルのドレインは共通のビットライン (B L 1, B L 2, ...) 8 1 に接続されている。更に、同一ブロックのメモリセル (F E T 3) のソースは、共通のソースライン S L 0 に接続

されている。

【0183】

ビットラインBL1, BL2, …はセンスアンプ部86に接続され、ワードラインWL1, WL2, …はワードラインドライバ87に接続されている。これらのセンスアンプ部86及びワードラインドライバ87は、制御回路（図示せず）からの信号により動作する（図7参照）。センスアンプ部86内には、第1～第3の実施の形態で示したようなパス／フェイル判定回路が形成されている。

【0184】

このように構成されたフローティングゲート型メモリにおいても、第1～第4に示す方法で書き込みベリファイ及び消去ベリファイを行うことにより、電源ノイズ及びその他のノイズの有無に拘わらずパス／フェイルの判定を正確に行うことができるとともに、書き込みベリファイ及び消去ベリファイに要する時間を短縮することができる。

【0185】

（その他の実施の形態2）

本発明の不揮発性半導体メモリの動作方法は、不揮発性半導体メモリ製造後の検査工程に適用することもできる。

【0186】

図20は、不揮発性半導体メモリの検査方法の概要を示す図である。検査装置91には、図8、図13又は図14に示すようなパス／フェイル判定回路92が設けられている。この検査装置91と製造後の不揮発性半導体メモリ95とを検査プローブを介して電氣的に接続し、図11、図12又は図16及び図17に示すフローチャートに従って、データの書き込み又は消去を行う。そして、ループ1, 2の実行回数や、フェイルと判定した数により、不揮発性半導体メモリ95の良否を判定する。

【0187】

この場合も、ループ1ではループ2よりも厳しい条件でパス／フェイルの判定を行うので、ループを無駄に繰り返すことがなく、短時間で良否を判定することができる。

【 0 1 8 8 】

また、不揮発性半導体メモリに対してデータの書き込み及び消去を繰り返すことによって不揮発性半導体メモリの寿命を検査するサイクリング試験においても、上述した動作方法を適用することができる。

【 0 1 8 9 】

（付記 1）データに応じた電荷を蓄積する不揮発性メモリセルと、前記メモリセルを駆動するメモリセル駆動部とを有し、前記メモリセル駆動部は、第 1 の判定条件で前記メモリセルから読み出したデータのパス／フェイルを判定し、フェイルと判定したメモリセルには信号を印加して前記メモリセルの蓄積電荷量を変化させる第 1 の判定処理と、前記第 1 の判定条件よりも緩和された第 2 の判定条件で前記メモリセルから読み出したデータのパス／フェイルを判定する第 2 の判定処理とを実行することを特徴とする不揮発性半導体メモリ。

【 0 1 9 0 】

（付記 2）書き込みベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理で用いる基準電流よりも小さい電流を基準電流としてパス／フェイルを判定し、消去ベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理で用いる基準電流よりも大きい電流を基準電流としてパス／フェイルを判定することを特徴とする付記 1 に記載の不揮発性半導体メモリ。

【 0 1 9 1 】

（付記 3）書き込みベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理に用いるリファレンスセルよりもしきい値が高いリファレンスセルを用いてパス／フェイルを判定し、消去ベリファイ時における前記第 1 の判定処理では前記第 2 の判定処理に用いるリファレンスセルよりもしきい値が低いリファレンスセルを用いてパス／フェイルを判定することを特徴とする付記 1 に記載の不揮発性半導体メモリ。

【 0 1 9 2 】

（付記 4）前記メモリセル駆動部は、前記第 1 の判定条件に対応する第 1 の基準電流と前記第 2 の判定条件に対応する第 2 の基準電流とを発生する基準電流発生回路と、前記基準電流発生回路を駆動制御する制御部とを有することを特徴と

する付記 1 に記載の不揮発性半導体メモリ。

【 0 1 9 3 】

(付記 5) 前記基準電流発生回路が、しきい値電圧が相互に異なる複数のトランジスタにより構成されていることを特徴とする付記 4 に記載の不揮発性半導体メモリ。

【 0 1 9 4 】

(付記 6) 前記基準電流発生回路が、リファレンス用トランジスタと、ワード線と前記リファレンストランジスタのゲートとの間に接続されたレベル制御用トランジスタと、基準電圧の供給先を前記リファレンスセルのゲート及び前記レベル制御用トランジスタのいずれか一方に切り替える切替回路とにより構成されていることを特徴とする付記 4 に記載の不揮発性半導体メモリ。

【 0 1 9 5 】

(付記 7) 前記メモリセルが、データに応じた電荷を絶縁膜に蓄積する単ゲート型メモリセルであることを特徴とする付記 1 に記載の不揮発性半導体メモリ。

【 0 1 9 6 】

(付記 8) 前記メモリセルが、データに応じた電荷をフローティングゲートに蓄積するフローティングゲート型メモリセルであることを特徴とする付記 1 に記載の不揮発性半導体メモリ。

【 0 1 9 7 】

(付記 9) 前記メモリセルが多値化に対応したメモリセルであり、各値毎に、前記第 1 の判定条件及び前記第 2 の判定条件が個別に設定されていることを特徴とする付記 1 に記載の不揮発性半導体メモリ。

【 0 1 9 8 】

(付記 1 0) 不揮発性メモリセルのデータを検証しながら前記メモリセルへのデータの書き込み又はデータの消去を行う不揮発性半導体メモリの動作方法において、前記メモリセルから第 1 の判定条件でデータを読み出してパス／フェイルを判定し、フェイルと判定した場合には当該メモリセルに信号を印加してメモリセルの蓄積電荷量を変化させる第 1 の判定処理と、メモリセルから前記第 1 の判定条件よりも緩和された第 2 の判定条件でデータを読み出してパス／フェイルを

判定する第 2 の判定処理とを有し、前記第 2 の判定処理でフェイルと判定したときには前記第 1 の判定処理から繰り返すことを特徴とする不揮発性半導体メモリの動作方法。

【 0 1 9 9 】

(付記 1 1) アドレスカウンタにスタートアドレスを設定する第 1 のステップと、前記アドレスカウンタに設定されたアドレスのメモリセルから第 1 の書き込み判定条件でデータを読み出してパス／フェイルを判定する第 2 のステップと、前記第 2 のステップでフェイルと判定したときに前記メモリセルに書き込みパルスを加する第 3 のステップと、前記第 2 のステップでパスと判定したとき、又は前記第 3 のステップを終了したときに、前記アドレスカウンタに設定されたアドレスが終了アドレスか否かを判定する第 4 のステップと、前記第 4 のステップで否と判定したときには前記アドレスカウンタの値を変更し、その後前記第 2 のステップに移行する第 5 のステップと、前記第 4 のステップで諾と判定したときに、前記アドレスカウンタにスタートアドレスを設定する第 6 のステップと、前記アドレスカウンタに設定されたアドレスのメモリセルから前記第 1 の書き込み判定条件よりも緩和された第 2 の書き込み判定条件でデータを読み出してパス／フェイルを判定する第 7 のステップと、前記アドレスカウンタに設定されたアドレスが最終アドレスか否かを判定する第 8 のステップと、前記第 8 のステップで否と判定したときに前記アドレスカウンタの値を変更し、その後前記第 7 のステップに移行する第 9 のステップと、前記第 8 のステップで諾と判定したときに移行し、前記第 7 のステップでフェイルと判定したときには前記第 1 のステップに処理を戻す第 1 0 のステップとを有することを特徴とする不揮発性半導体メモリの動作方法。

【 0 2 0 0 】

(付記 1 2) 前記第 7 のステップでフェイルと判定すると、処理を前記第 1 のステップに直接戻すことを特徴とする付記 1 1 に記載の不揮発性半導体メモリの動作方法。

【 0 2 0 1 】

(付記 1 3) 前記メモリセルが多値化に対応したメモリセルであって、各値毎

に前記第 1 の判定条件及び前記第 2 の判定条件が個別に設定されていることを特徴とする付記 1 1 又は 1 2 に記載の不揮発性半導体メモリの動作方法。

【 0 2 0 2 】

（付記 1 4）前記第 1 のステップ乃至第 1 0 のステップは検査工程で実施し、前記第 1 の書き込み判定条件及び前記第 2 の書き込み判定条件を外部の検査装置で設定することを特徴とする付記 1 1 又は 1 2 に記載の不揮発性半導体メモリの動作方法。

【 0 2 0 3 】

（付記 1 5）アドレスカウンタにスタートアドレスを設定する第 1 のステップと、前記アドレスカウンタに設定されたアドレスのメモリセルから第 1 の消去判定条件でデータを読み出してパス／フェイルを判定する第 2 のステップと、前記アドレスカウンタに設定されたアドレスが終了アドレスか否かを判定する第 3 のステップと、前記第 3 のステップで否と判定したときには前記アドレスカウンタの値を変更し、その後前記第 2 のステップに移行する第 4 のステップと、前記第 3 のステップで諾と判定したときに移行し、前記第 2 のステップでフェイルと判定したメモリセルがあるときは前記スタートアドレスから前記終了アドレスまでのメモリセルに一括して消去パルスを印加する第 5 のステップと、前記アドレスカウンタにスタートアドレスを設定する第 6 のステップと、前記アドレスカウンタに設定されたアドレスのメモリセルから前記第 1 の消去判定条件よりも緩和された第 2 の消去判定条件でデータを読み出してパス／フェイルを判定する第 7 のステップと、前記アドレスカウンタに設定されたアドレスが最終アドレスか否かを判定する第 8 のステップと、前記第 8 のステップで否と判定したときに前記アドレスカウンタの値を変更し、その後前記第 7 のステップに移行する第 9 のステップと、前記第 8 のステップで諾と判定したときに移行し、前記第 7 のステップでフェイルと判定したメモリセルがあるときには前記第 1 のステップに処理を戻す第 1 0 のステップとを有することを特徴とする不揮発性半導体メモリの動作方法。

【 0 2 0 4 】

（付記 1 6）前記第 2 のステップでフェイルと判定すると前記第 5 のステップ

に直接移行して、前記スタートアドレスから前記終了アドレスまでのメモリセルに一括して消去パルスを印加することを特徴とする付記 1 5 に記載の不揮発性半導体メモリの動作方法。

【 0 2 0 5 】

(付記 1 7) 前記第 7 のステップでフェイルと判定すると処理を前記第 1 のステップに直接戻すことを特徴とする付記 1 5 に記載の不揮発性半導体メモリの動作方法。

【 0 2 0 6 】

(付記 1 8) 前記第 1 のステップ乃至前記第 1 0 のステップは検査工程で実施し、前記第 1 の書き込み判定条件及び前記第 2 の書き込み判定条件を外部の検査装置で設定することを特徴とする付記 1 5 乃至 1 7 のいずれか 1 項に記載の不揮発性半導体メモリの動作方法。

【 0 2 0 7 】

【発明の効果】

以上説明したように、本発明によれば、メモリセルから第 1 の判定条件でデータを読み出してパス／フェイルの判定を行い、フェイルと判定した場合には信号を印加してメモリセルの蓄積電荷量を変化させ、その後、メモリセルから第 1 の判定条件よりも緩和された第 2 の判定条件でデータを読み出してパス／フェイルを判定するので、ノイズ等に拘わらずパス／フェイルの判定が正確になり、データの検証（ベリファイ）処理の実行時間を従来に比べて大幅に短縮することができる。

【図面の簡単な説明】

【図 1】

図 1 は、従来のベリファイの概念を示す図（その 1）である。

【図 2】

図 2 は、従来のベリファイの概念を示す図（その 2）である。

【図 3】

図 3 は、従来の不揮発性半導体メモリにおける書き込みベリファイの動作を示すフローチャートである。

【図 4】

図 4 は、従来の不揮発性半導体メモリにおける消去ベリファイの動作を示すフローチャートである。

【図 5】

図 5 は本発明の第 1 の実施の形態に係る SONOS 型不揮発性半導体メモリのメモリセル形成部を示す平面図である。

【図 6】

図 6 (a) は図 5 の I - I 線による断面図、図 6 (b) は図 5 の II - II 線による断面図、図 6 (c) は図 5 の III - III 線による断面図である。

【図 7】

図 7 は、SONOS 型不揮発性半導体メモリの回路構成を示すブロック図である。

【図 8】

図 8 は、第 1 の実施の形態の不揮発性半導体メモリのセンスアンプ部内に設けられたパス／フェイル判定回路の構成を示す回路図である。

【図 9】

図 9 は第 1 の実施の形態におけるベリファイの概念を示す図（その 1）である。

【図 10】

図 10 は第 1 の実施の形態におけるベリファイの概念を示す図（その 2）である。

【図 11】

図 11 は、第 1 の実施の形態の不揮発性半導体メモリにおける書き込みベリファイの動作を示すフローチャートである。

【図 12】

図 12 は、第 1 の実施の形態の不揮発性半導体メモリの消去ベリファイの動作を示すフローチャートである。

【図 13】

図 13 は本発明の第 2 の実施の形態の不揮発性半導体メモリのパス／フェイル

判定回路の構成を示す回路図である。

【図 1 4】

図 1 4 は本発明の第 3 の実施の形態の不揮発性半導体メモリのパス／フェイル判定回路の構成を示す回路図である。

【図 1 5】

図 1 5 は、多値化メモリにおけるしきい値電圧の分布と各値に対応した判定レベルとを示す概念図である。

【図 1 6】

図 1 6 は、第 4 の実施の形態の不揮発性半導体メモリにおける書き込みベリファイ時の動作を示すフローチャート（その 1）である。

【図 1 7】

図 1 7 は、第 4 の実施の形態の不揮発性半導体メモリにおける書き込みベリファイ時の動作を示すフローチャート（その 2）である。

【図 1 8】

図 1 8 はフローティングゲート型メモリの（N O R ゲート型）一例を示す断面図である。

【図 1 9】

図 1 9 はフローティングゲート型メモリ（フラッシュメモリ）の回路構成を示すブロック図である。

【図 2 0】

図 2 0 は、不揮発性半導体メモリの検査方法の概要を示す図である。

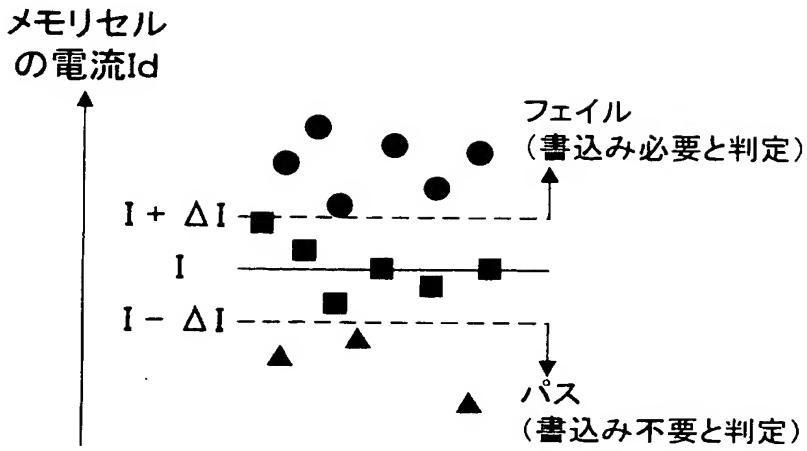
【符号の説明】

- 1, 8 1 …ビットライン、
- 2, 8 2 …ワードライン、
- 3, 8 3 …F E T（メモリセル）、
- 1 0, 7 1 …シリコン基板、
- 1 1 …局所絶縁膜、
- 1 2, 1 4 …シリコン酸化膜、
- 1 3 …シリコン窒化膜、

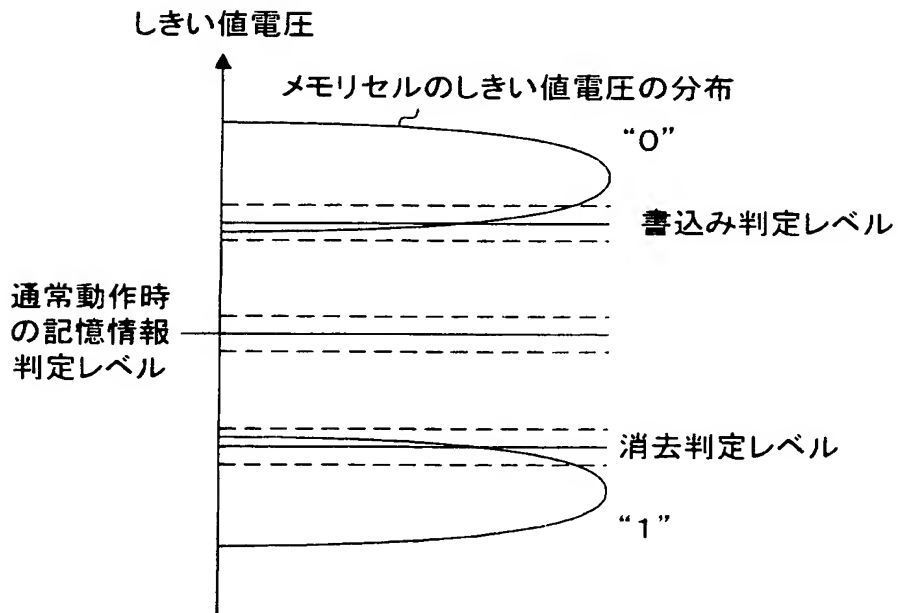
1 5 …ゲート絶縁膜、
2 0 …制御回路、
2 6, 8 6 …センスアンプ部、
2 7, 8 7 …ワードラインドライバ、
3 0 …CPU、
3 1 …RAM、
4 0 …基準電流発生回路、
4 1, 4 2, 5 3, 5 4, 5 5, 5 6, 6 2, 6 3 …選択ゲート、
4 3, 4 4, 5 7, 5 8, 6 4 …抵抗、
4 5 …センスアンプ、
5 1, 5 2, 6 1 …リファレンスセル、
6 5 …レベル制御用トランジスタ、
7 2 …不純物拡散層、
7 3 …シリコン酸化膜、
7 4 …フローティングゲート、
7 6 …コントロールゲート。

【書類名】 図面

【図 1】

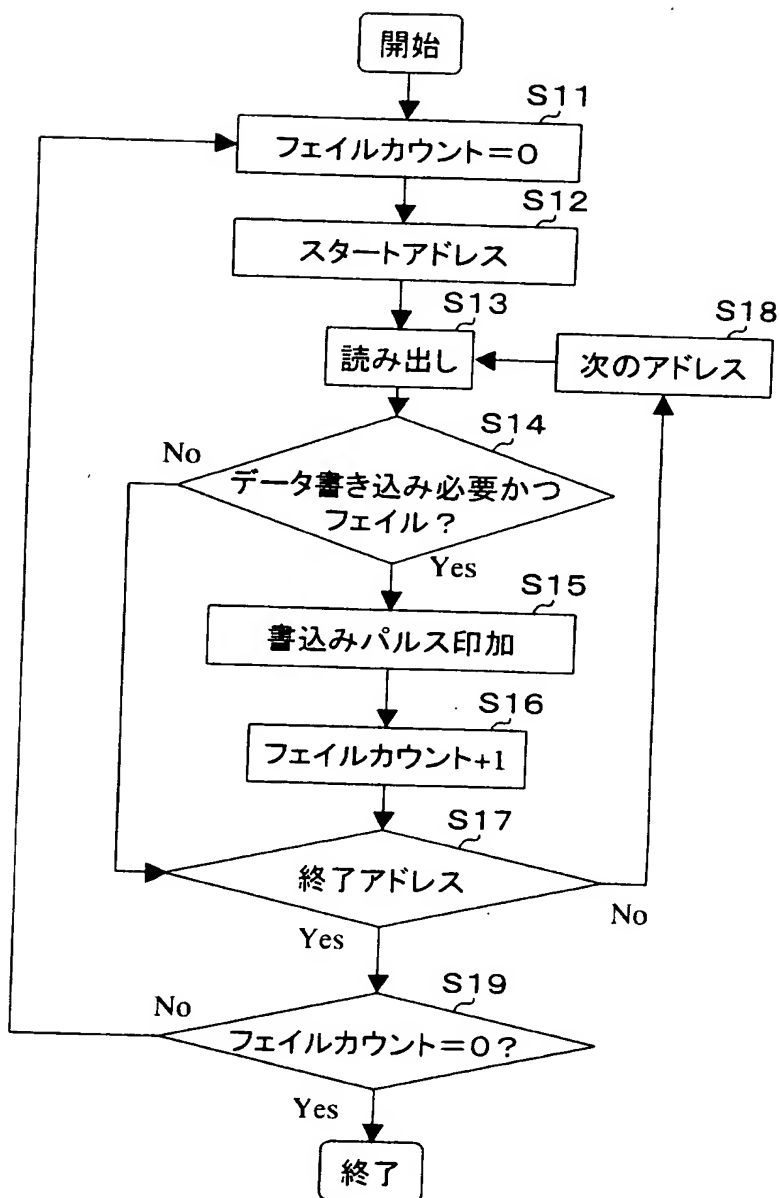


【図 2】



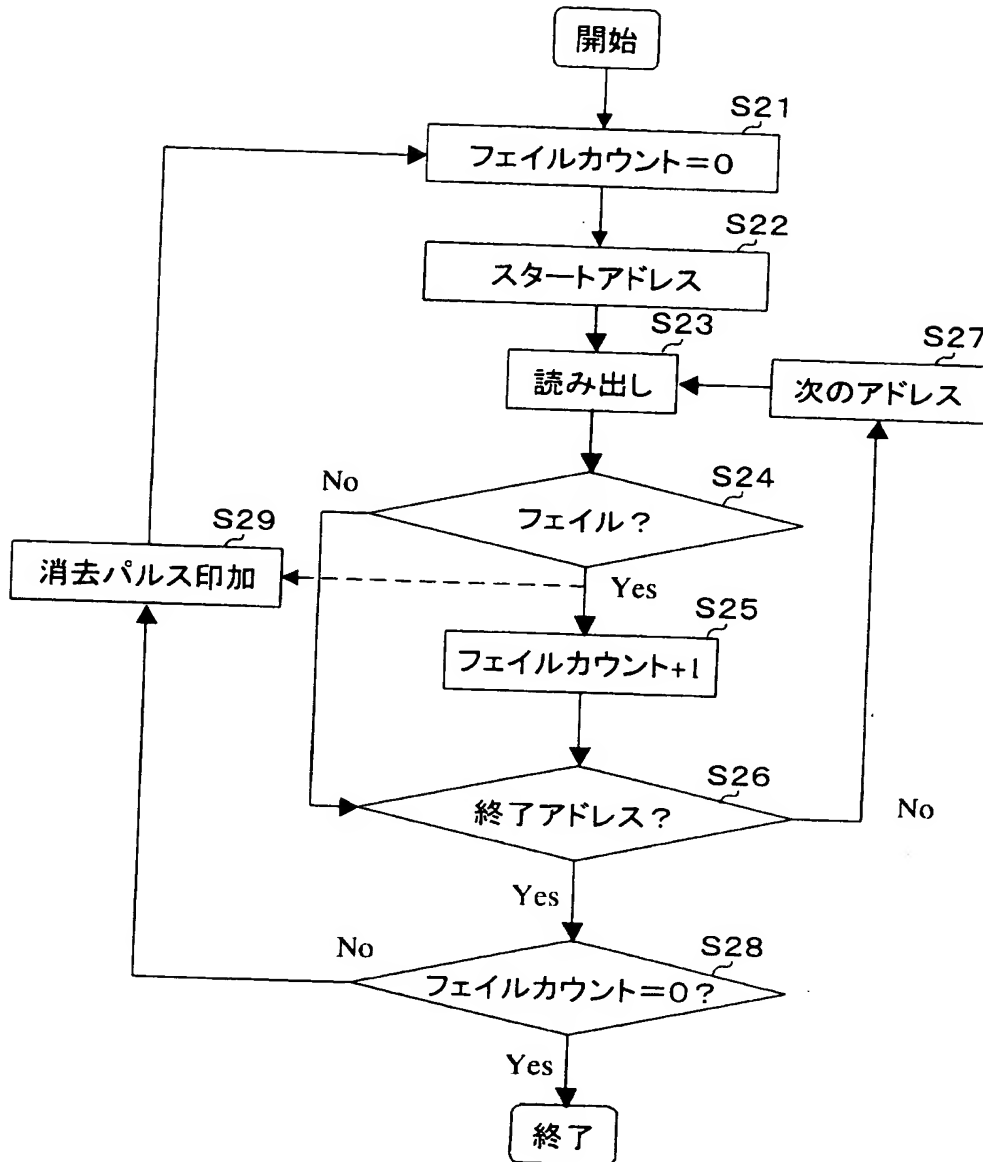
【図 3】

書込みベリファイ(従来技術)

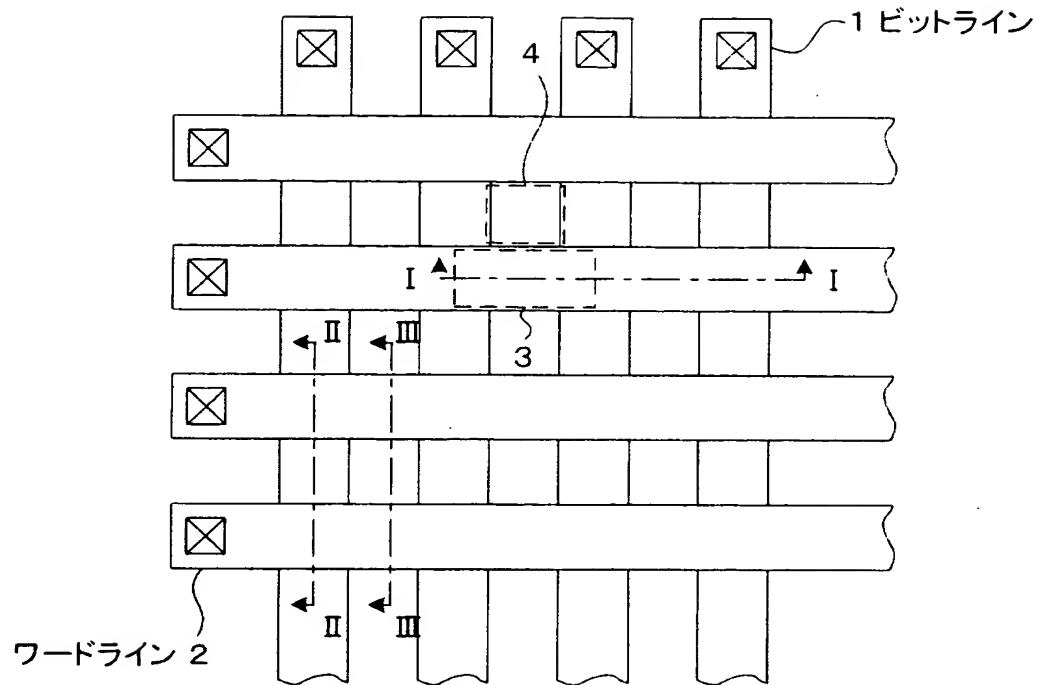


【図 4】

消去ベリファイ(従来技術)



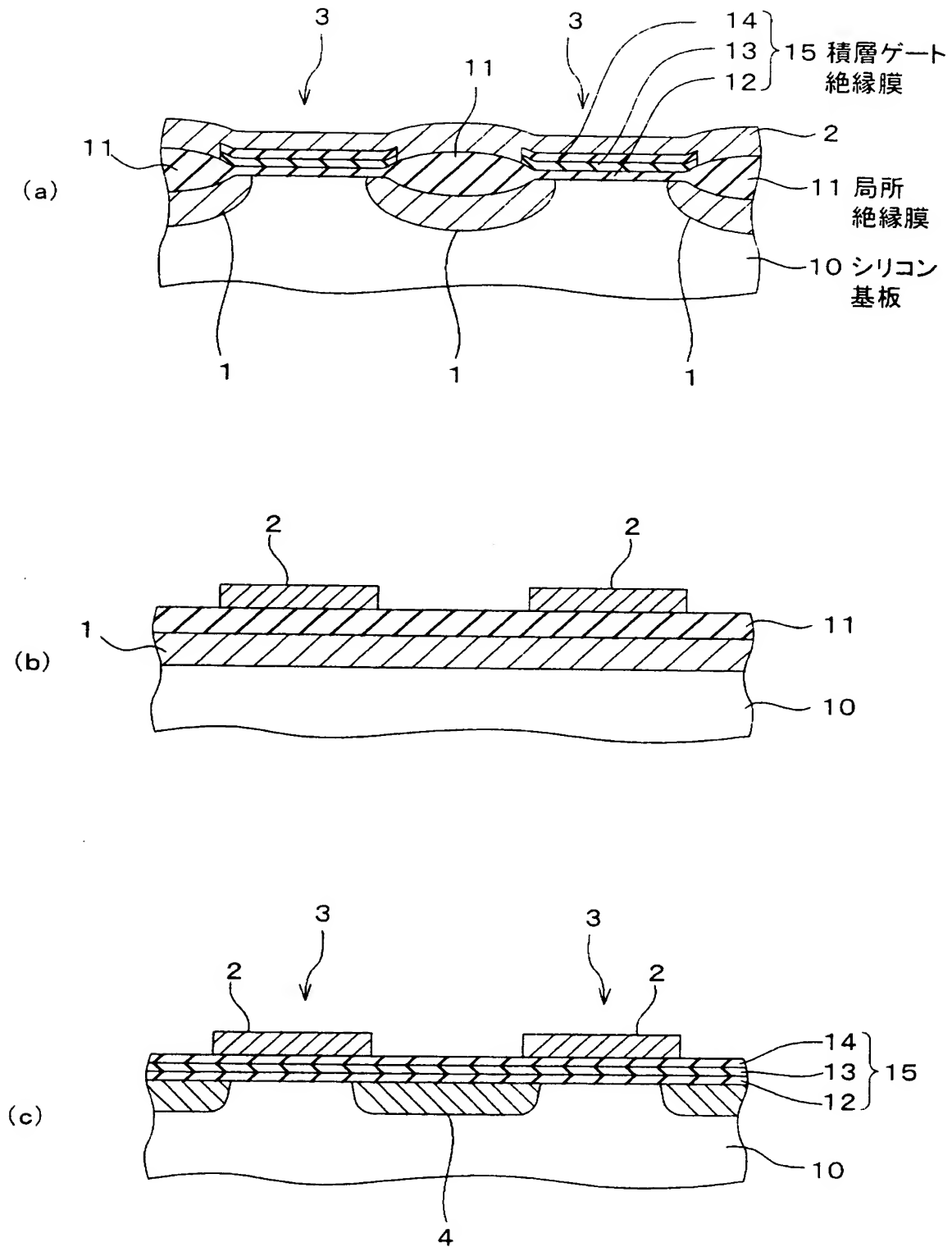
【図 5】



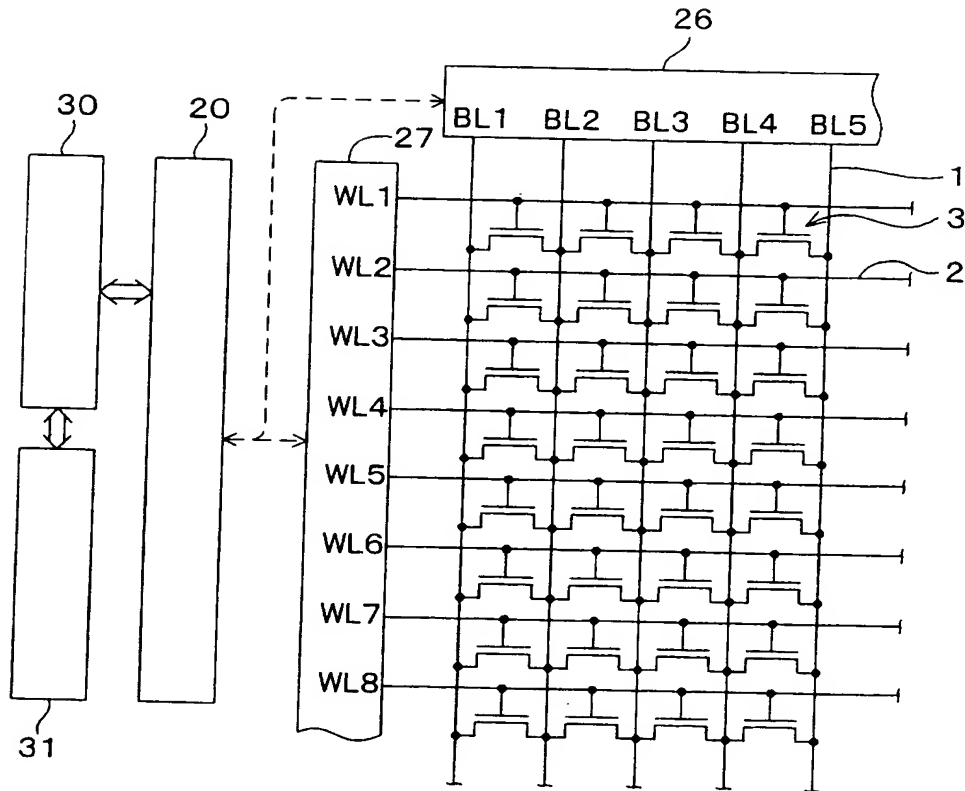
3: FET

4: チャンネルストツパ領域

【図 6】

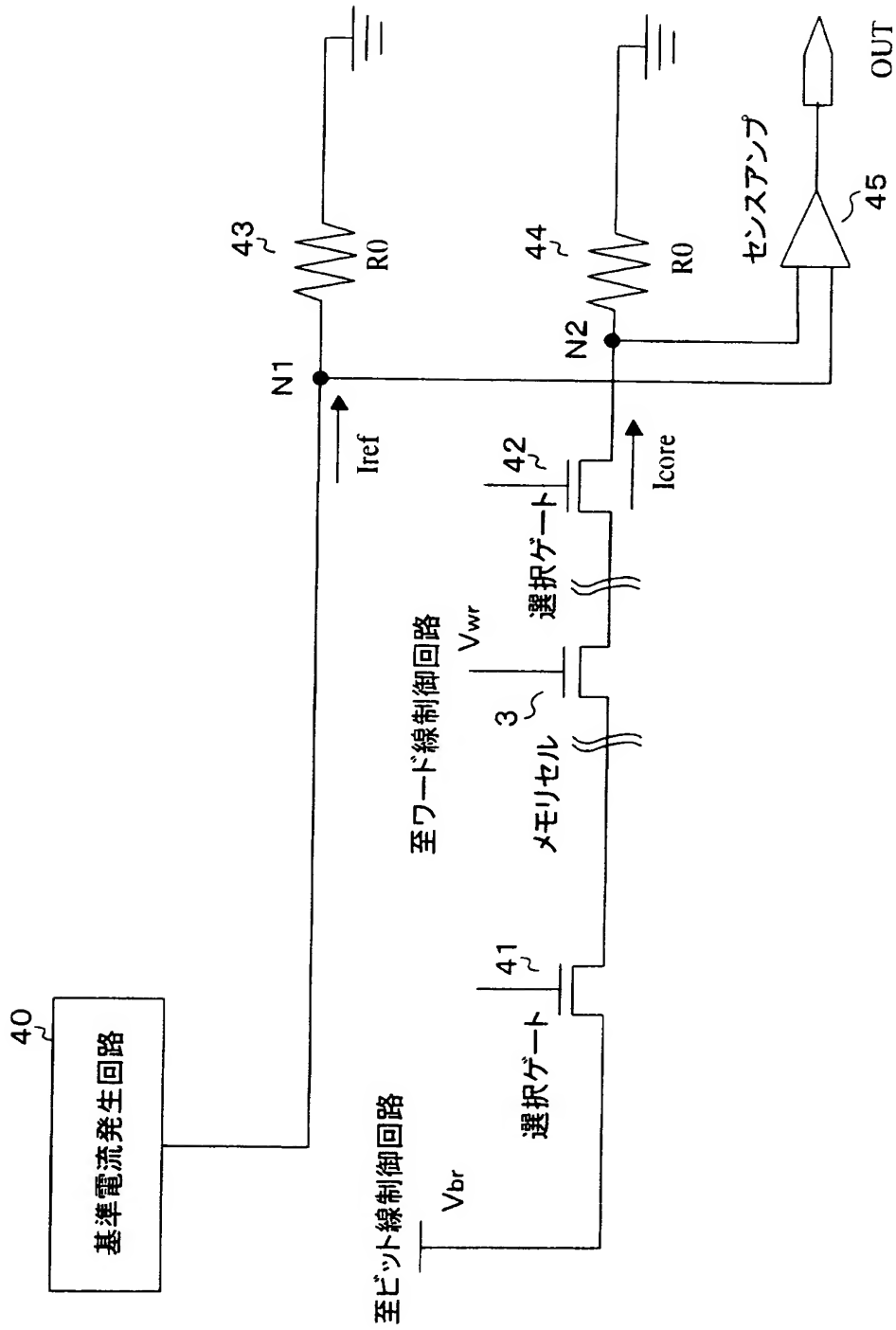


【図 7】

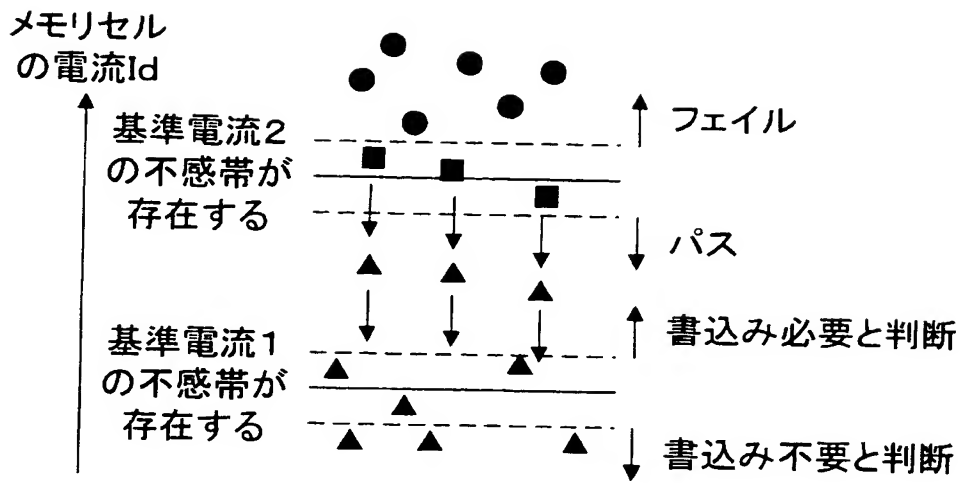


20:制御回路
 26:センスアンプ部
 27:ワードラインドライバ
 30:CPU
 31:RAM

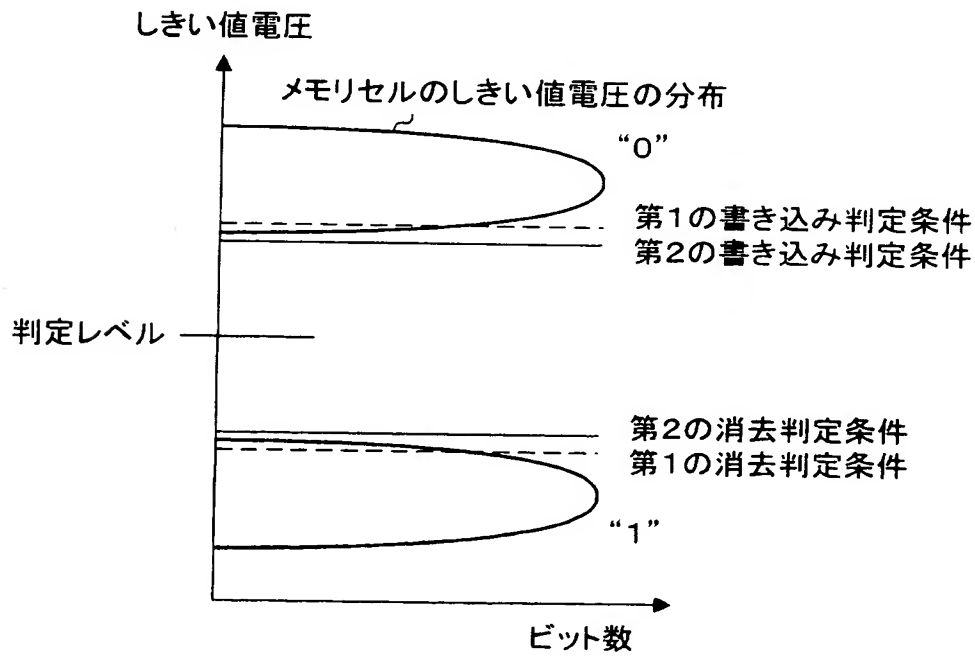
【図 8】



【図 9】

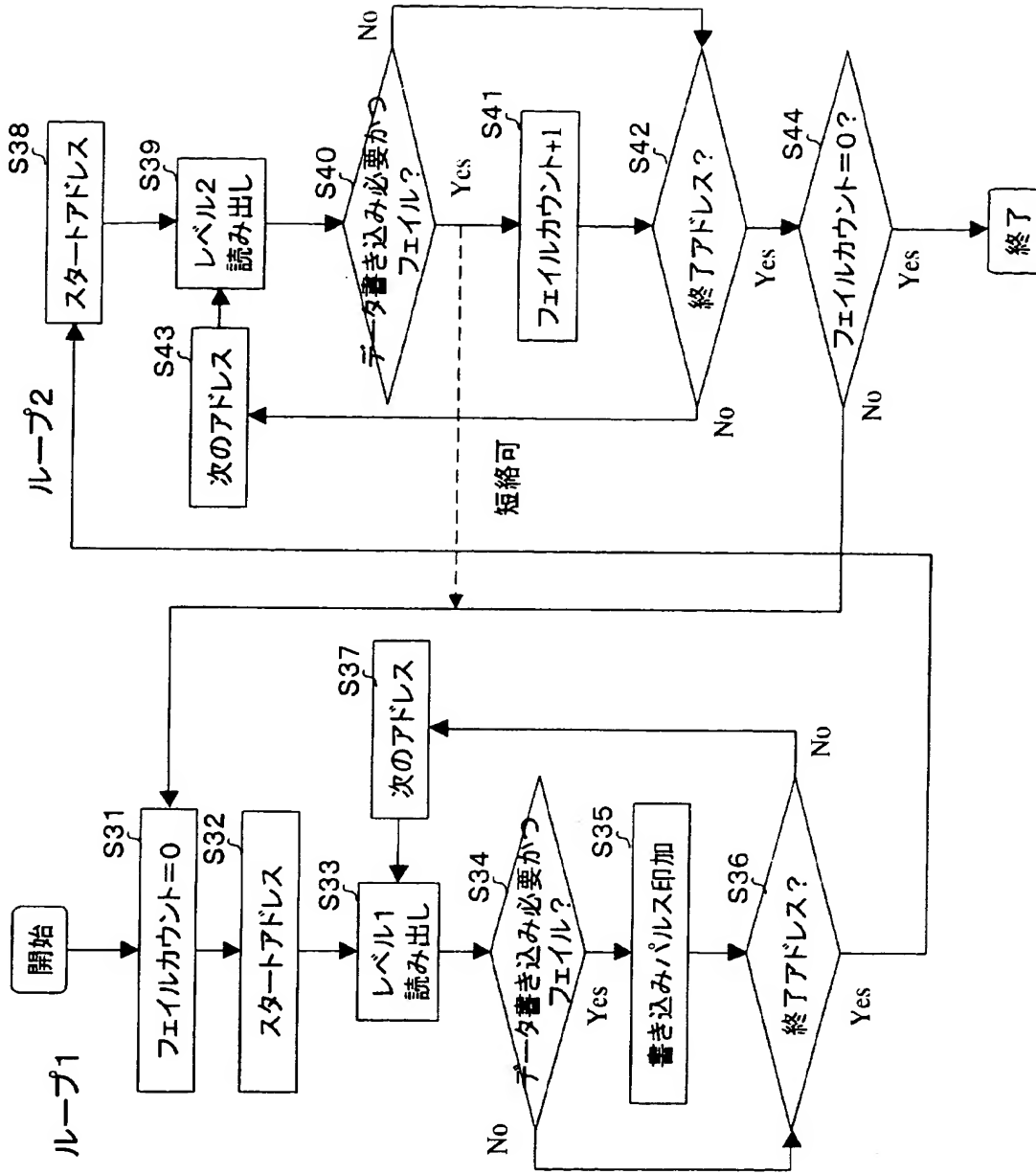


【図 10】

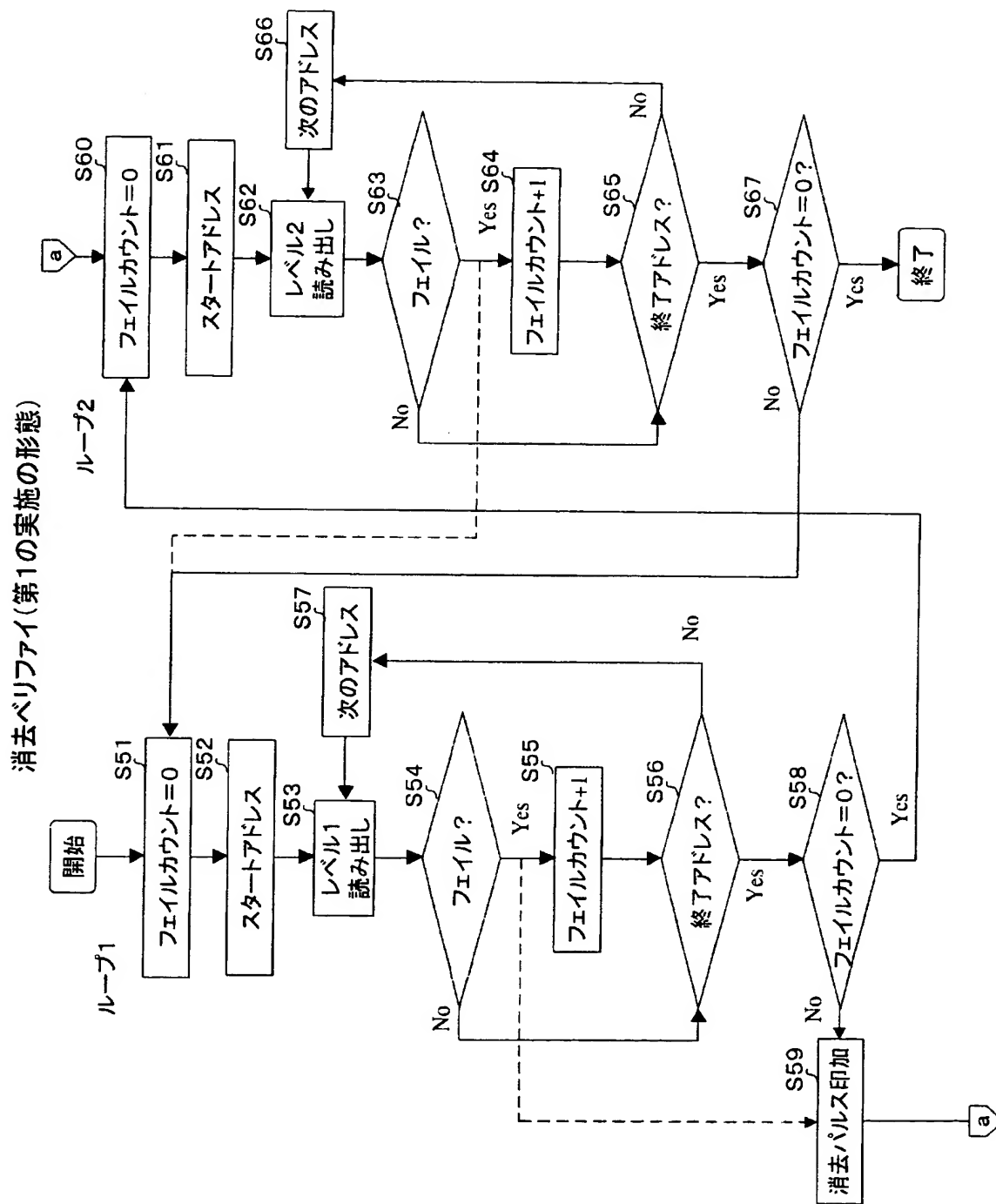


【図 11】

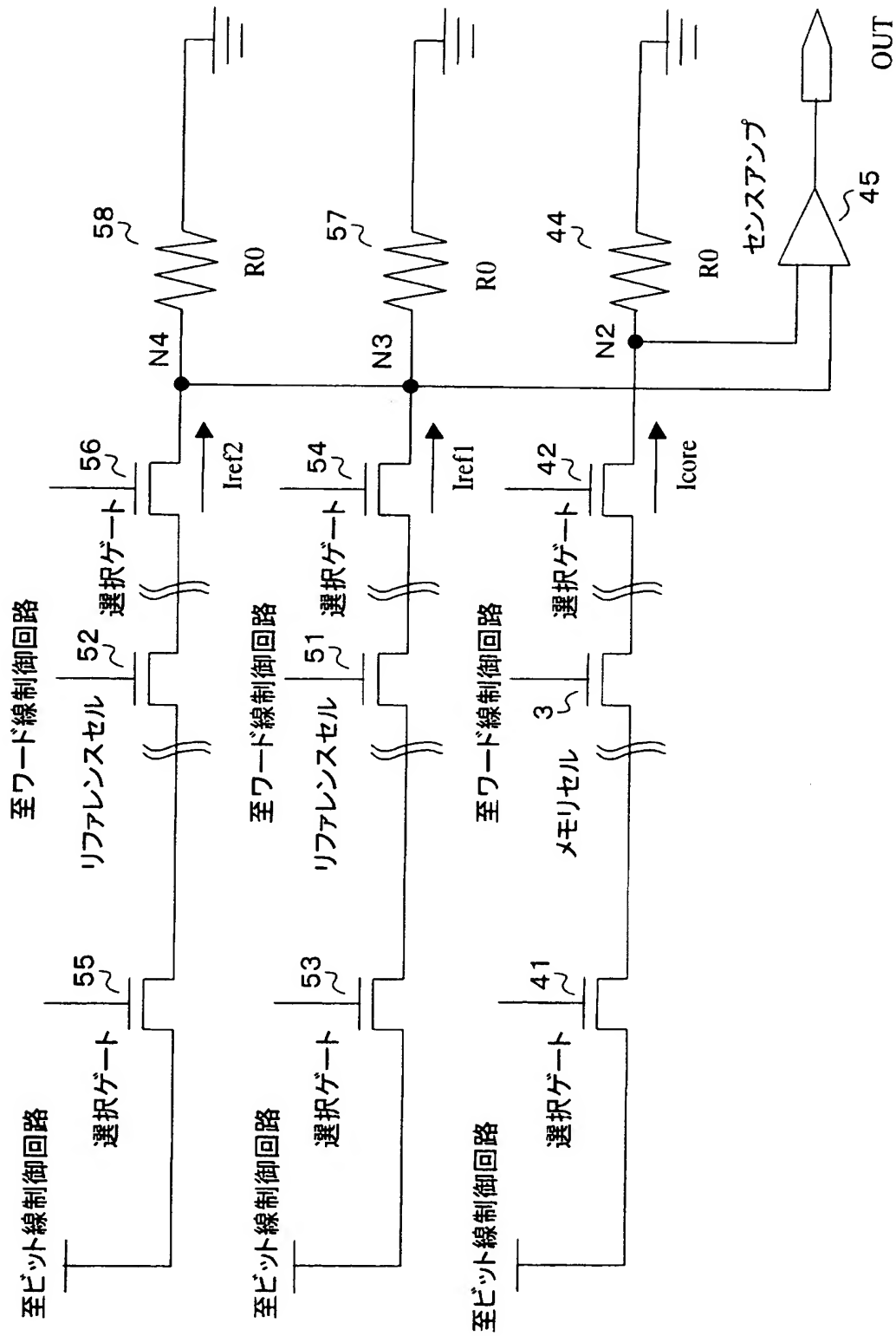
書き込みベリファイ(第1の実施の形態)



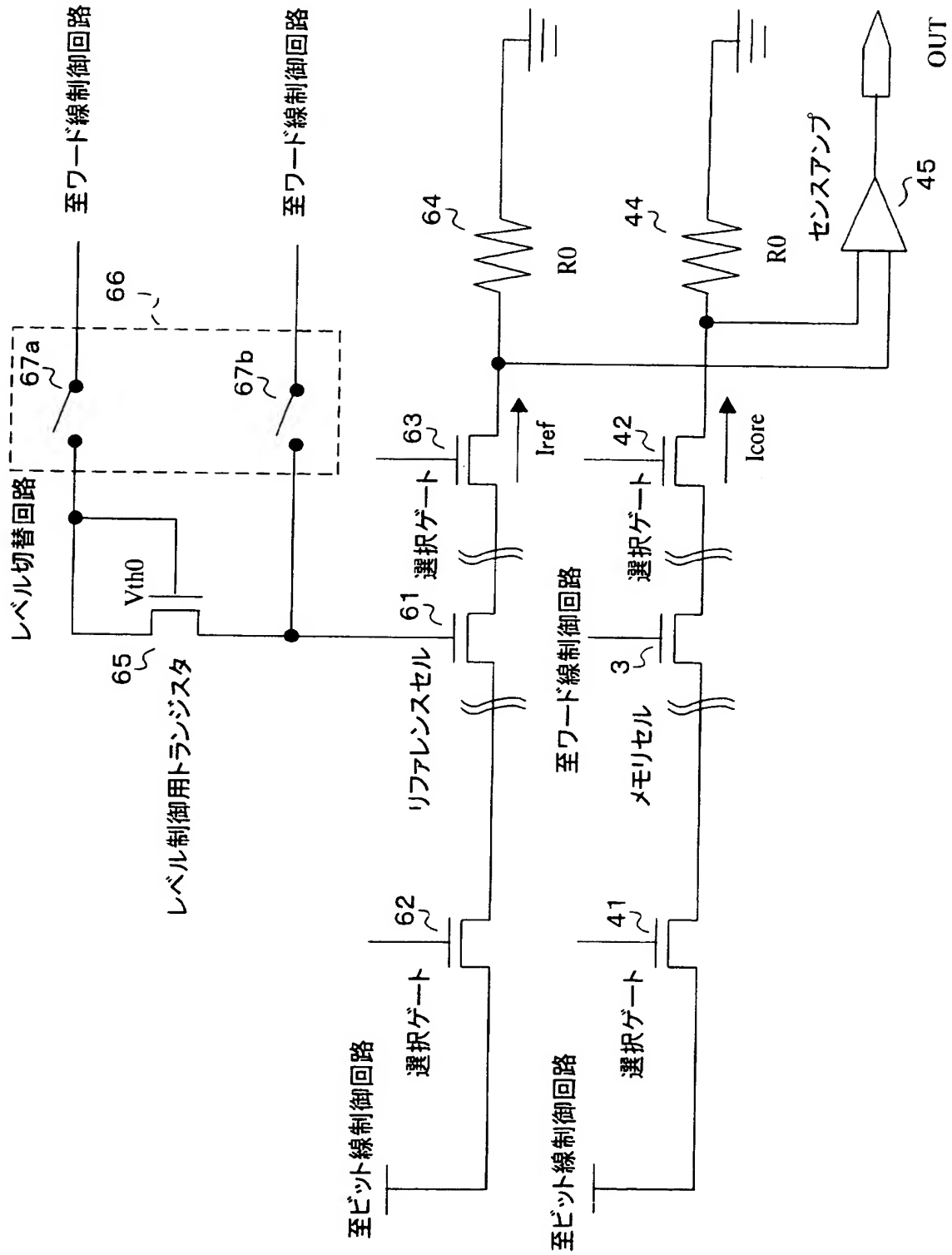
【図 12】



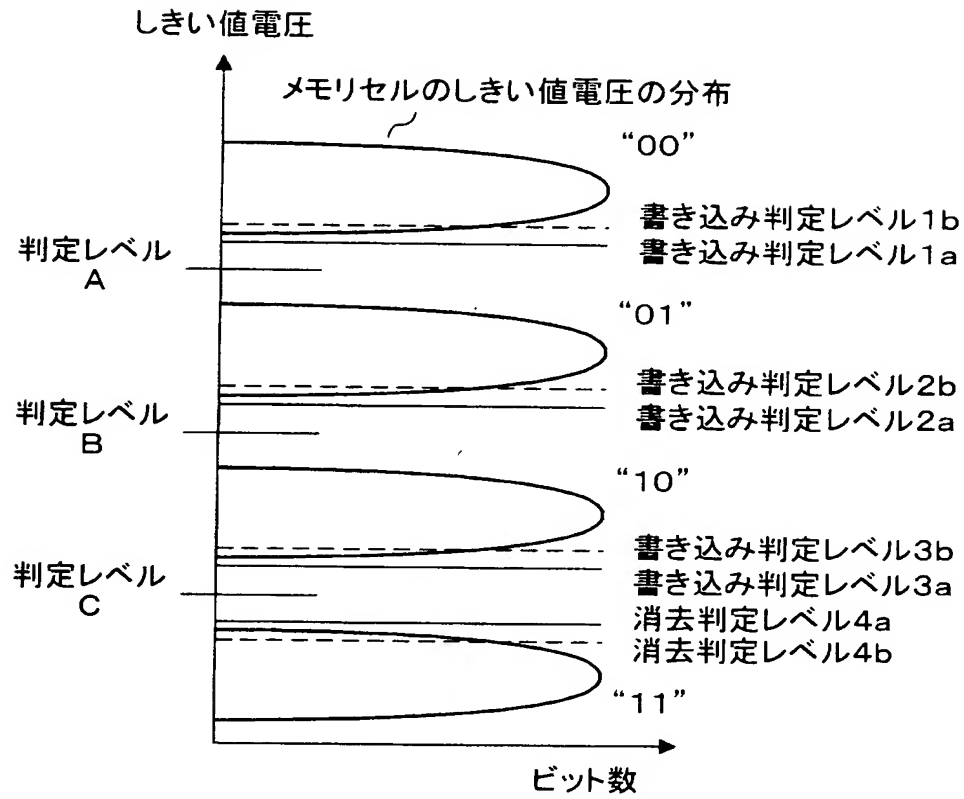
【図 1 3】



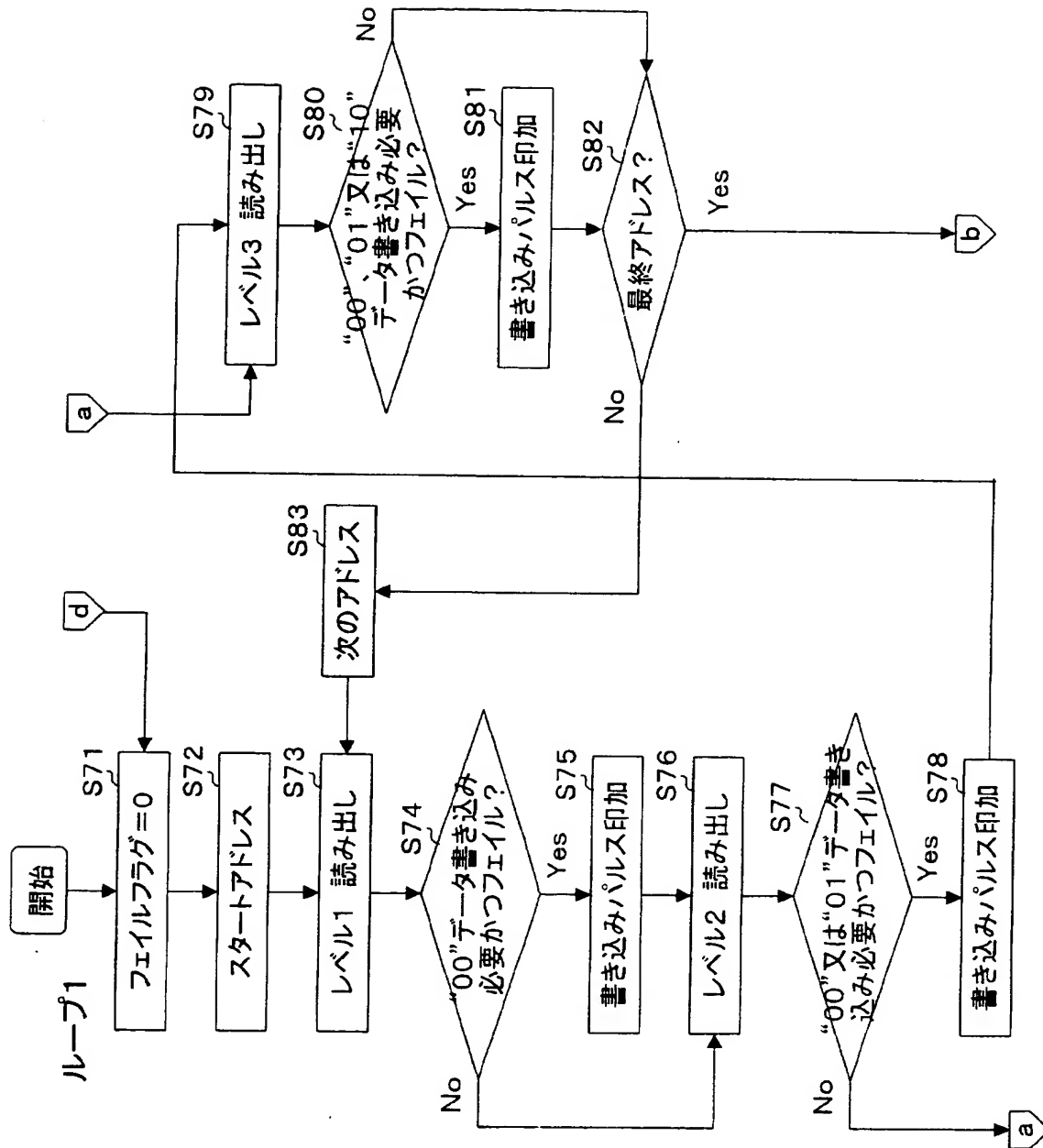
【図14】



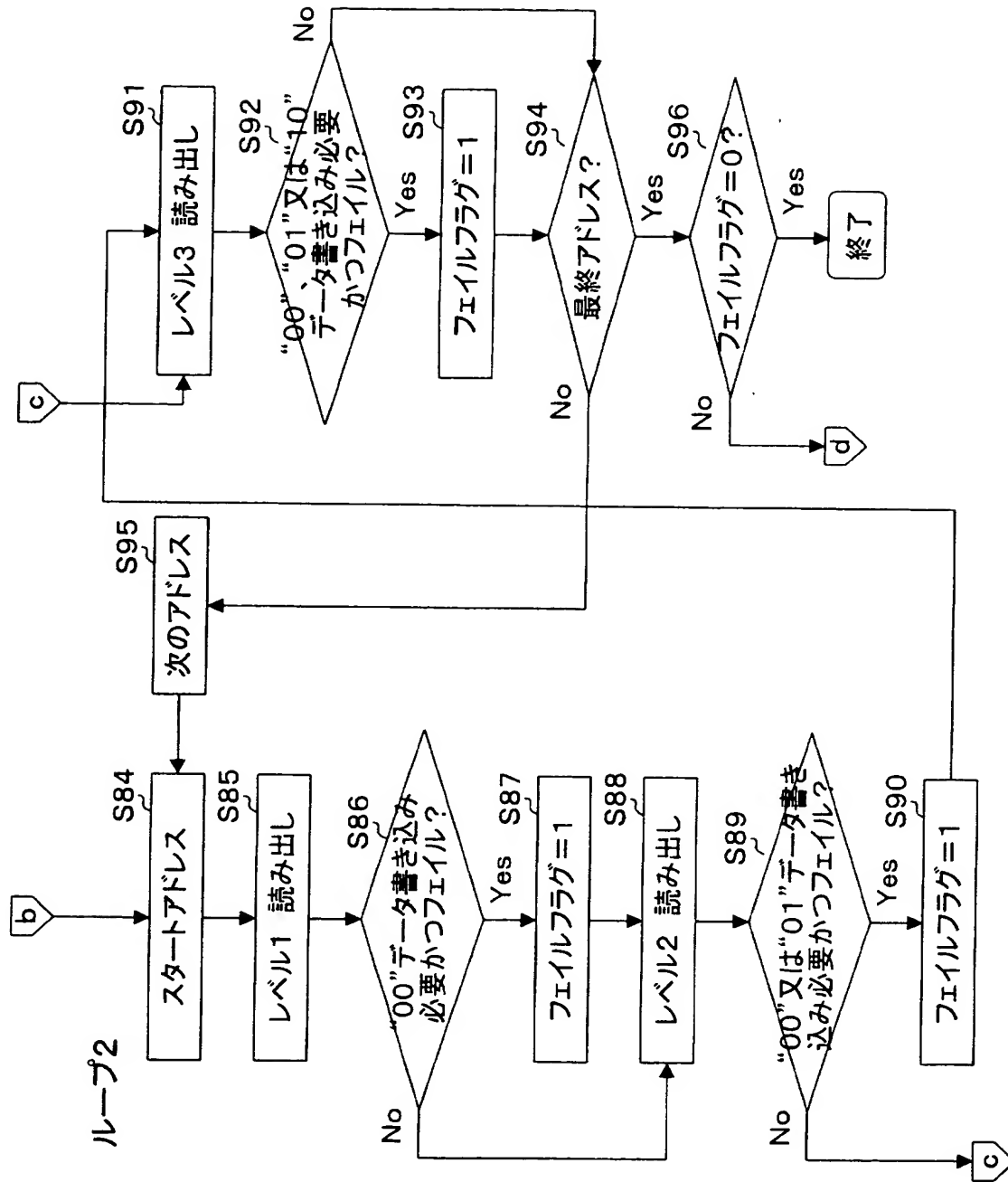
【図 1 5】



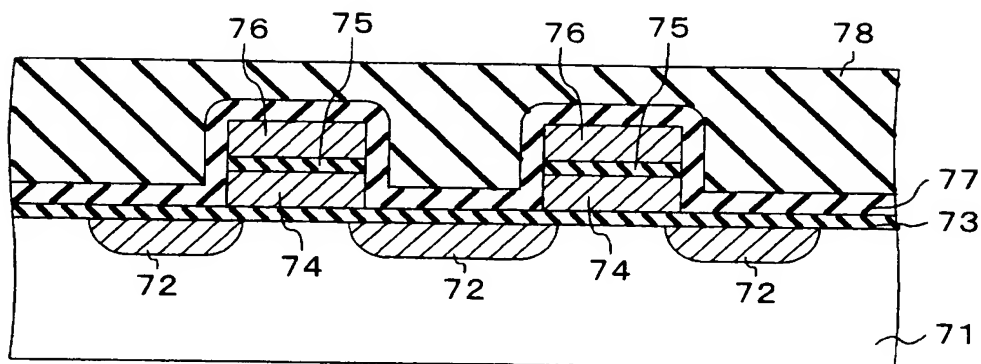
【図 16】



【図 17】

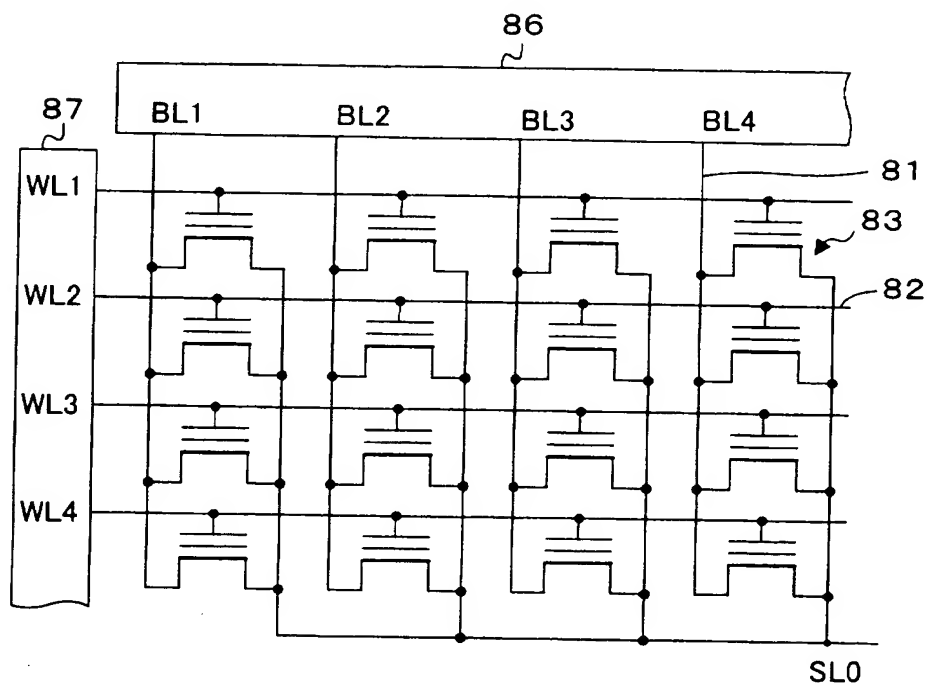


【図18】



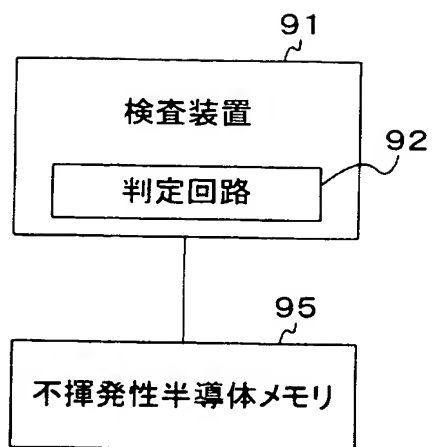
71:シリコン基板
72:不純物拡散層
73:シリコン酸化膜
74:フローティングゲート
76:コントロールゲート

【図19】



81:ビットライン
82:ワードライン
83:FET(メモリセル)
86:センスアンプ部
87:ワードラインドライバ

【図 2 0】



【書類名】 要約書

【要約】

【課題】 電源ノイズ及びその他のノイズの影響により判定電流又は判定電圧が変動しても、パス／フェイルの判定を正確に行うことができる不揮発性半導体メモリ及びその動作方法を提供する。

【解決手段】 メモリセルから第 1 の判定条件でデータを読み出してパス／フェイルを判定し、フェイルと判定した場合には当該メモリセルに信号を印加してメモリセルの蓄積電荷量を変化させる第 1 の判定処理と、メモリセルから前記第 1 の判定条件よりも緩和された第 2 の判定条件でデータを読み出してパス／フェイルを判定する第 2 の判定処理とを実行し、前記第 2 の判定処理でフェイルと判定したときには前記第 1 の判定処理から処理を繰り返す。

【選択図】 図 1 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社